

HACD1216QN型

低抖动LVDS时钟缓冲器

产品说明书

成都华奥创芯科技有限公司

1 产品概述

HACD1216QN 是一款 2.0GHz，16 路输出差分高性能时钟扇出缓冲器，它将两个可选输入时钟之一分配给十六对差分 LVDS 时钟输出，输入信号可以是 LVDS、LVPECL 或 LVC MOS，最高时钟频率可达 2.0GHz。该器件专为高频、低相位噪声时钟和数据信号的信号扇出而设计。

2 产品特性

- a) 2: 16 差分时钟缓冲器；
- b) 通用输入接受 LVPECL、LVDS、HCSL 和 LVC MOS；
- c) 十六路 LVDS 输出；
- d) 最大输出频率（LVDS）：2.0GHz；
- e) 最大传播延迟：545ps（典型值）；
- f) 输出偏斜：55ps（最大值）；
- g) 低附加抖动@156.25MHz：51.8 fs RMS（10kHz~20MHz）；
- h) 电源电压：3.3V 或 2.5V；
- i) 与 TI 公司的 CDCLVD1216 引脚兼容；
- j) 封装形式为 QFN48，塑封。

3 功能描述

表1 输入选择真值表

IN_SEL	时钟输入
0	INP0, INN0
1	INP1, INN1

4 原理框图

产品的功能原理框图如图 1 所示。

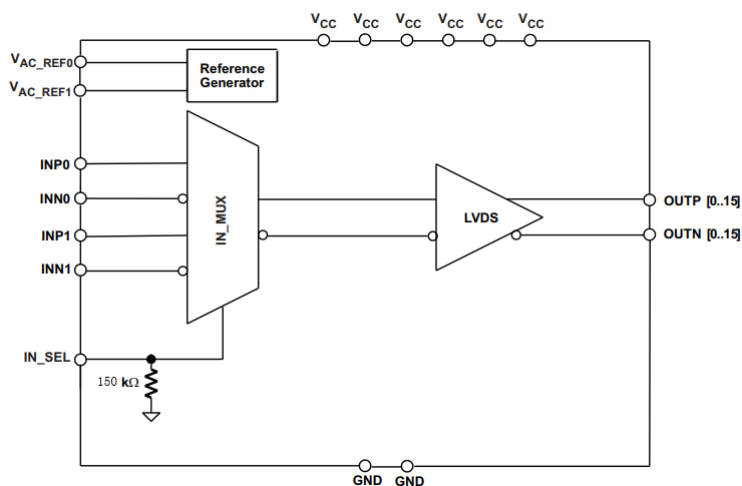
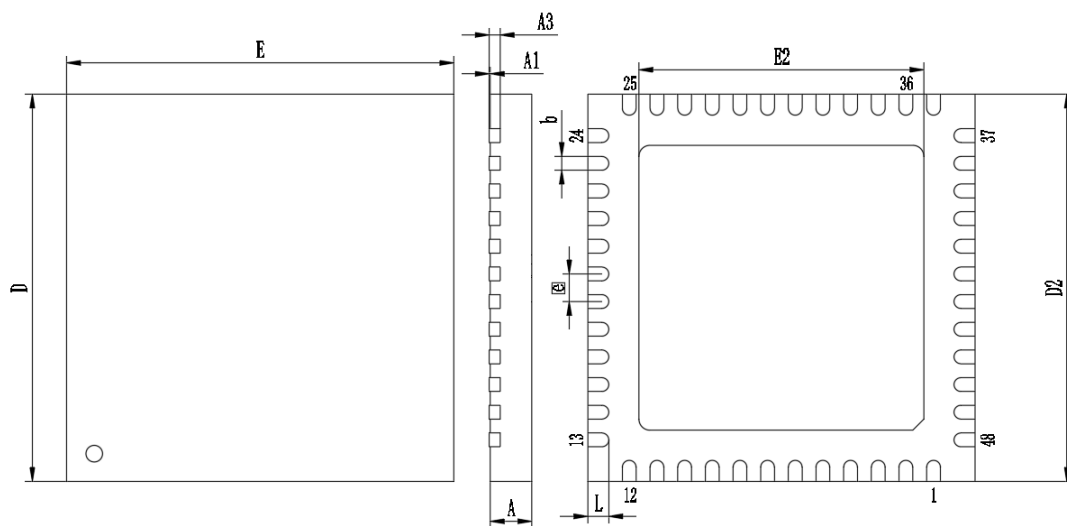


图1 功能框图

5 封装形式及尺寸

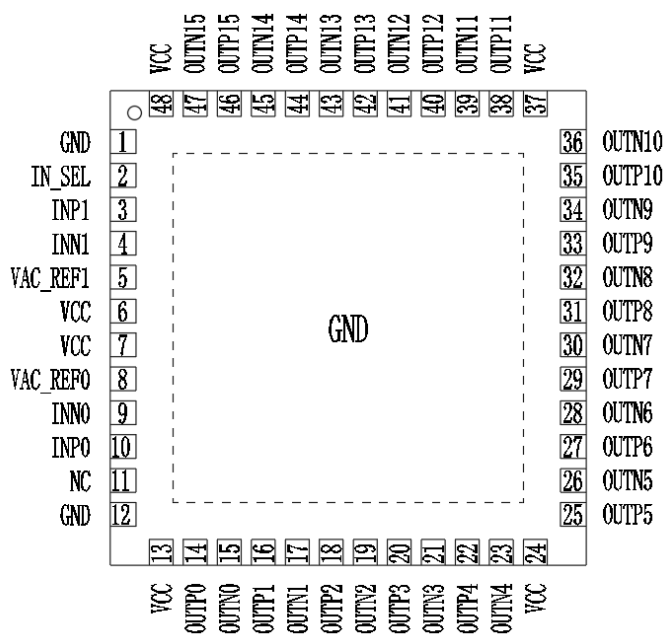
HACD1216QN 采用 QFN48 封装，具体封装尺寸如图 2 所示。



尺寸符号	数值（单位：mm）		
	最小	公称	最大
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	--	0.20	--
b	0.19	0.24	0.29
D	6.80	7.00	7.20
E	6.80	7.00	7.20
e	--	0.50BSC	--
D2	5.00	5.15	5.25
E2	5.00	5.15	5.25
L	0.30	0.40	0.50

图2 HACD1216QN 封装尺寸图

6 引出端排列图



注：底部焊盘 PAD（即 GND）必须连接至 VEE。

图3 HACD1216QN 引出端排列图（顶视图）

表2 HACD1216QN 引出端功能表

引出端 序号	符号	I/O	功能
1	GND	--	接地
2	IN_SEL	I	输入选择端，内部 150k Ω 下拉电阻。
3	INP1	I	差分或单端输入，未使用可悬空。
4	INN1	I	差分输入对
5	V _{AC_REF1}	O	基准输出电压。如果使用，建议在此引脚上使用 0.1 μ F 至 GND。
6	VCC	I	电源
7	VCC	I	电源
8	V _{AC_REF0}	O	基准输出电压。如果使用，建议在此引脚上使用 0.1 μ F 至 GND。
9	INP0	I	差分或单端输入，未使用可悬空。
10	INN0	I	差分输入对
11	NC	--	悬空

12	GND	--	接地
13	VCC	I	电源
14	OUTP0	O	差分 LVDS 时钟输出对 0
15	OUTN0	O	差分 LVDS 时钟输出对 0
16	OUTP1	O	差分 LVDS 时钟输出对 1
17	OUTN1	O	差分 LVDS 时钟输出对 1
18	OUTP2	O	差分 LVDS 时钟输出对 2
19	OUTN2	O	差分 LVDS 时钟输出对 2
20	OUTP3	O	差分 LVDS 时钟输出对 3
21	OUTN3	O	差分 LVDS 时钟输出对 3
22	OUTP4	O	差分 LVDS 时钟输出对 4
23	OUTN4	O	差分 LVDS 时钟输出对 4
24	VCC	I	电源
25	OUTP5	O	差分 LVDS 时钟输出对 5
26	OUTN5	O	差分 LVDS 时钟输出对 5
27	OUTP6	O	差分 LVDS 时钟输出对 6
28	OUTN6	O	差分 LVDS 时钟输出对 6
29	OUTP7	O	差分 LVDS 时钟输出对 7
30	OUTN7	O	差分 LVDS 时钟输出对 7
31	OUTP8	O	差分 LVDS 时钟输出对 8
32	OUTN8	O	差分 LVDS 时钟输出对 8
33	OUTP9	O	差分 LVDS 时钟输出对 9
34	OUTN9	O	差分 LVDS 时钟输出对 9
35	OUTP10	O	差分 LVDS 时钟输出对 10
36	OUTN10	O	差分 LVDS 时钟输出对 10
37	VCC	I	电源
38	OUTP11	O	差分 LVDS 时钟输出对 11

39	OUTN11	O	差分 LVDS 时钟输出对 11
40	OUTP12	O	差分 LVDS 时钟输出对 12
41	OUTN12	O	差分 LVDS 时钟输出对 12
42	OUTP13	O	差分 LVDS 时钟输出对 13
43	OUTN13	O	差分 LVDS 时钟输出对 13
44	OUTP14	O	差分 LVDS 时钟输出对 14
45	OUTN14	O	差分 LVDS 时钟输出对 14
46	OUTP15	O	差分 LVDS 时钟输出对 15
47	OUTN15	O	差分 LVDS 时钟输出对 15
48	VCC	I	电源

7 绝对最大额定值

参数	符号	最小值	最大值	单位
电源电压	VCC	0.5	4.6	V
输入电压	VIN	-0.5	VCC+0.5	V
结温范围	T _J	--	125	℃
储藏温度	T _{STG}	-65	150	℃

8 推荐工作条件

参数	符号	最小值	最大值	单位
电源电压	VCC	3.135	3.465	V
		2.375	2.625	V
工作温度	T _A	-40	85	℃

9 电特性

除另有规定外，VCC=3.3V±5%，-40℃≤T_A≤85℃，产品的电特性见表 3 所示。

表3 电特性

参数	符号	条件	参数值			单位
			最小	典型	最大	
I _{CC}	供电电流	VCC=3.3V	--		--	mA
		VCC=2.5V	--		--	mA
下拉电阻	R _{pull}	--	--	150	--	kΩ

	(IN_SEL)					
LVCMOS 输入特性						
输入频率	F _{IN}	VCC=3.3V	0.1	--	250	MHz
输入阈值电压	V _{th}	施加到互补输入端的外部阈值电压	1.1	--	1.5	V
输入高电压	V _{IH}	--	1.2	--	VCC	V
输入低电压	V _{IL}	--	0	--	1.4	V
输入高电流	I _{IH}	VCC= 3.6V, V _{IH} = 3.6V	--	--	40	μA
输入低电流	I _{IL}	VCC= 3.6V, V _{IL} =0V	--	--	-40	μA
输入电容	C _{IN}	--	--	2.5	--	pF
差分输入特性						
输入频率	F _{IN}	VCC=3.3V	0.1	--	2000	MHz
差分输入电压（峰峰值）	V _{IN,DIFF}	V _{ICM} =1.25V	0.3	--	1.6	V _{P-P}
输入共模电压	V _{ICM}	V _{IN, DIFF, PP} > 0.4	1	--	VCC-0.3	V
输入高电流	I _{IH}	VCC=3.6V, V _{IH} =3.6V	--	--	40	μA
输入低电流	I _{IL}	VCC=3.6V, V _{IL} =0V	--	--	-40	μA
输入电容	C _{IN}	--	--	2.5	--	pF
LVDS 输出特性						
差分输出电压幅值	V _{OD}	V _{IN, DIFF,PP} =0.3V,RL=100 Ω	250	--	450	mV
差分输出电压幅值变化	ΔV _{OD}	V _{IN, DIFF,PP} =0.3V,RL=100 Ω	-15	--	15	mV
稳态模式输出电压	V _{OC(ss)}	V _{IN, DIFF,PP} =0.3V,RL=100 Ω	1.1	--	1.375	V
稳态模式输出电压幅值变化	ΔV _{OC(ss)}	V _{IN, DIFF,PP} =0.3V,RL=100 Ω	-15	--	15	V
输出过冲或下冲	V _{ring}	输出幅度 V _{OD} 的百分比	--	--	10%	--
传播延迟	t _{PD}	3.3V@100MHz	--	1.5	2.5	ns
输出偏斜	t _{SK,O}	--	--	--	55	ps
脉冲偏斜	t _{SK,P}	50%占空比输入，交叉点间失真	-50	--	50	ps
随机附加抖动	t _{RJIT}	50%占空比输入，10KHz 到 20MHz ， VCC=3.3V。	--	--	300	fs
输出上升时间	t _R /t _F	20%到 80%	--	450	600	ps
输出下降时间		20%到 80%	--	450	600	ps
V _{AC_REF} 特性						
参考输出电压	V _{AC_REF}	VCC=2.5V, I _{load} =100 μ A	1.1	1.25	1.35	V

10 典型性能特征

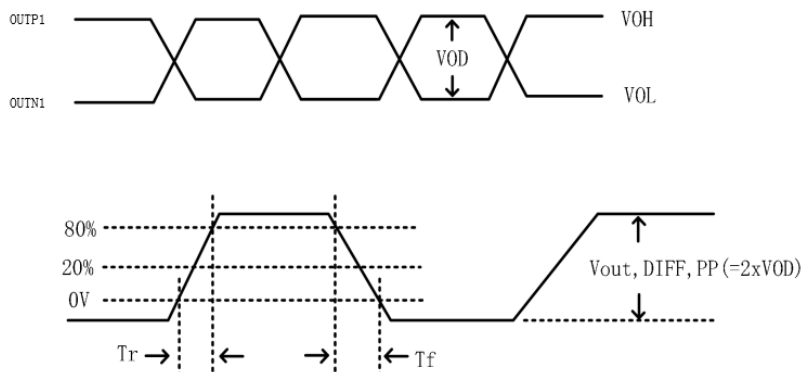


图4 输出电压和上升/下降时间

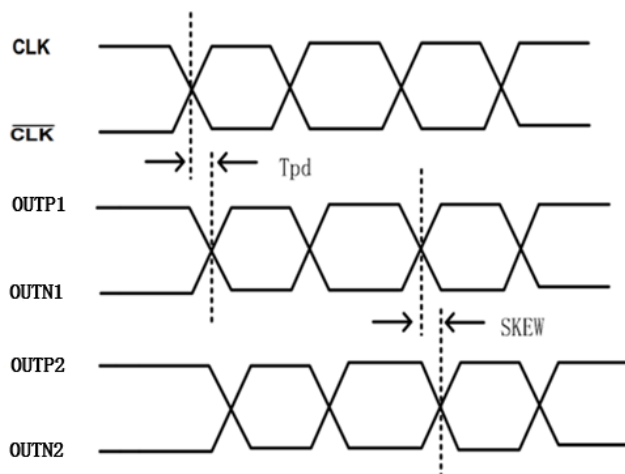


图5 输出和偏斜

注：输出偏斜按以下两者中的较大值计算：作为最快和最慢 t_{PLHn} 之间的差值 ($n=0,1,2\cdots7$)，或作为最快与最慢 t_{PHLn} 之间的差 ($n=0,1, 2\cdots7$)。

11 典型应用及注意事项

a) 差分信号输入以接受单端电平电路

对于单端输入的 LVCMOS 信号，驱动器中的 R_s 和 R_0 形成 50Ω 阻抗匹配，定向隔离电容器 C3 避免了输入和输出之间共模电平的影响，然后通过分压器和共模电平将接收器驱动到 $V_{CC}/2$ 。

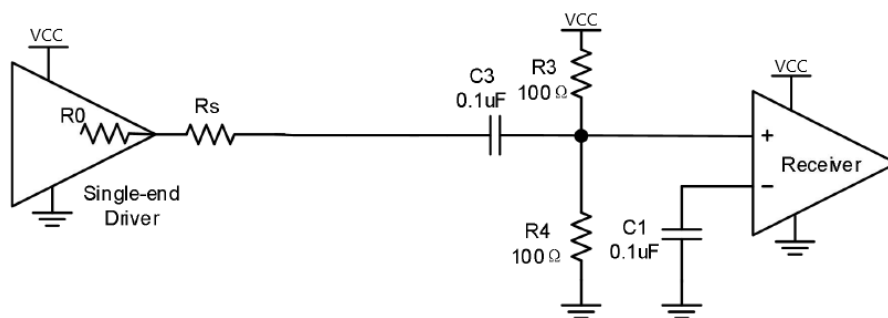


图6 差分输入的单端接方法

b) 输入连接电路

CLK/CLK接受 LVDS、LVPECL、HCSL 和其他差分信号。两个差分信号都必须满足 V_{PP} 和 V_{CMR} 输入要求。图 7 至图 11 显示了由最常见的驱动器类型驱动的 CLK/CLK输入的接口示例。

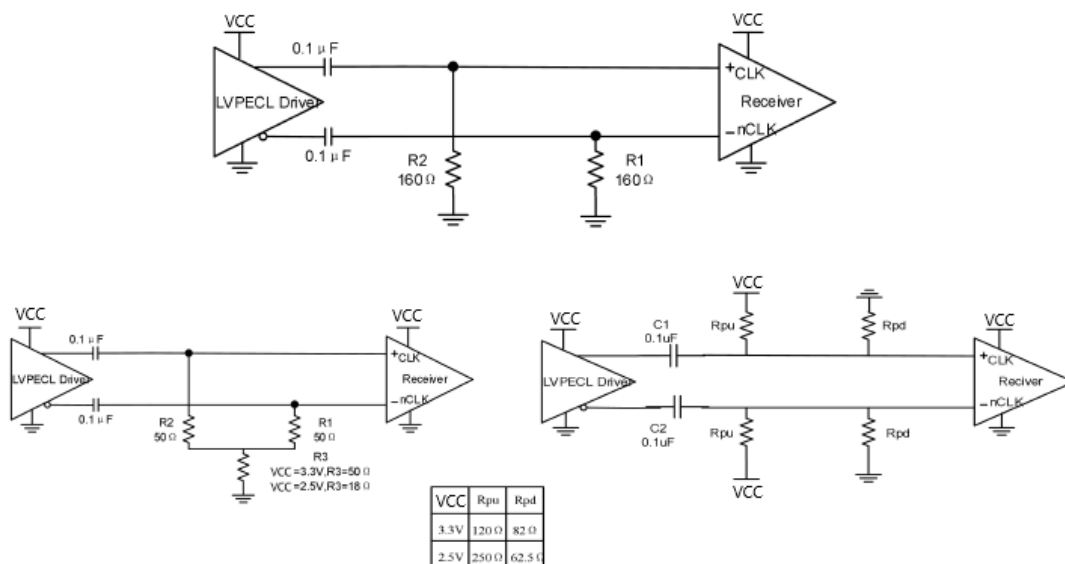


图7 LVPECL 驱动器（AC）

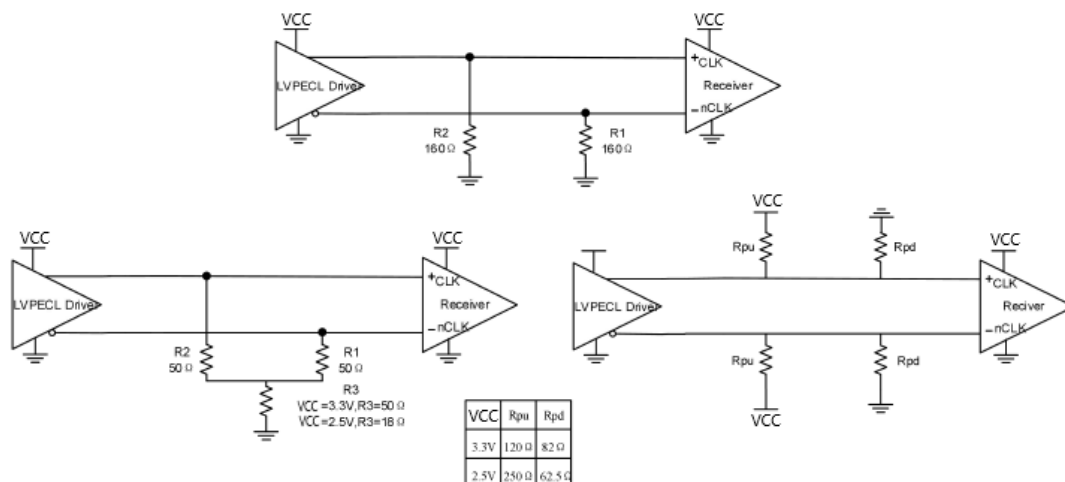


图8 LVPECL 驱动器 (DC)

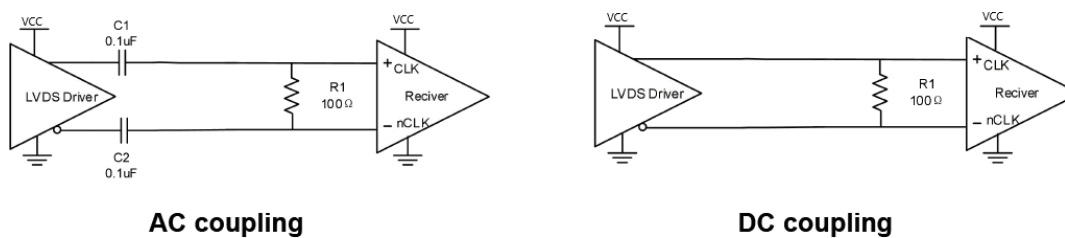


图9 LVDS 驱动器

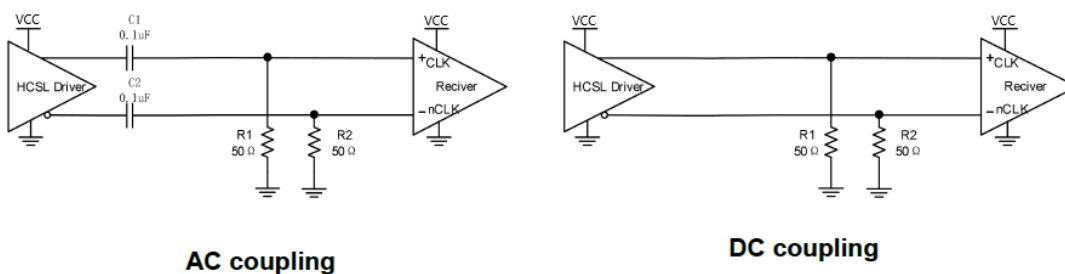


图10 HCSL 驱动器

c) 输出连接电路

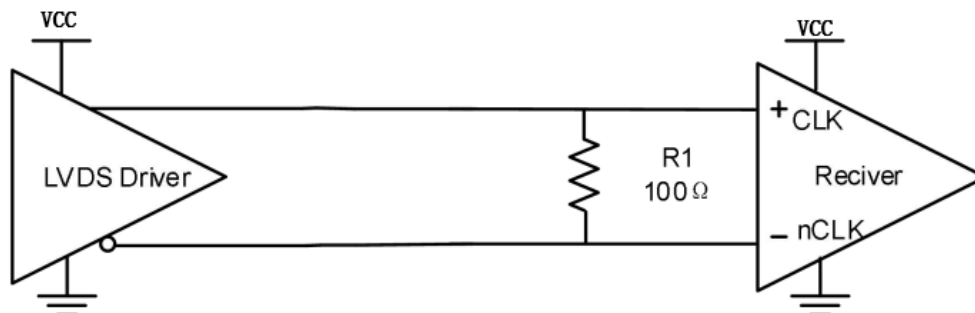


图11 LVDS 驱动器

12 订货信息

HA CD 1216 QN

① ② ③ ④

① 单位简称

② 产品分类标识

③ 产品代号

④ 封装形式标识

13 版本修订

表4 版本修订汇总表

版本	时间	描述	更改页
V1.0	2023.10.20	新建	--