

HAC954QN型
高速时钟缓冲器
产品说明书

成都华奥创芯科技有限公司

1 产品概述

HAC954QN 是一款 2.1GHz, 12 路输出差分高性能时钟扇出缓冲器, 且高度通用、低附加抖动的产品, 可以从两个可选的 LVPECL、HCSL 和 LVDS 或 LVCMOS 输入之一生成八路 LVPECL 时钟输出副本。该产品具有配备中心抽头的差分输入, 100 Ω 片上终端电阻器。最大时钟频率高达 2.1GHz。该器件专为高频、低相位噪声时钟和数据信号的信号扇出而设计。

2 产品特性

- a) 2: 12 差分时钟缓冲器;
- b) 通用输入接受 LVPECL、LVDS 和 HCSL;
- c) 十二路 LVPECL 输出;
- d) 最大输出频率 LVPECL 2.1GHz;
- e) 最大传播延迟: 500ps (典型值);
- f) 输出偏斜: 20ps (典型);
- g) 低附加抖动@156.25MHz: 81fs RMS (12kHz~20MHz);
- h) 电源电压: VCC=3.3V 或 2.5V;
- i) 与 ADI 公司的 ADCLK954BCPZ 引脚兼容;
- j) 封装形式为 QFN40, 塑封。

3 功能描述

表1 输入选择真值表

IN_SEL	时钟输入
0	CLK0, $\overline{\text{CLK0}}$
1	CLK1, $\overline{\text{CLK1}}$

表2 输入选择引脚电压

符号	逻辑值	最小值	最大值	单位
V _{IH}	1	VCC-0.4	VCC	V
V _{IL}	0	VEE	1	V

4 原理框图

产品的功能原理框图如图 1 所示。

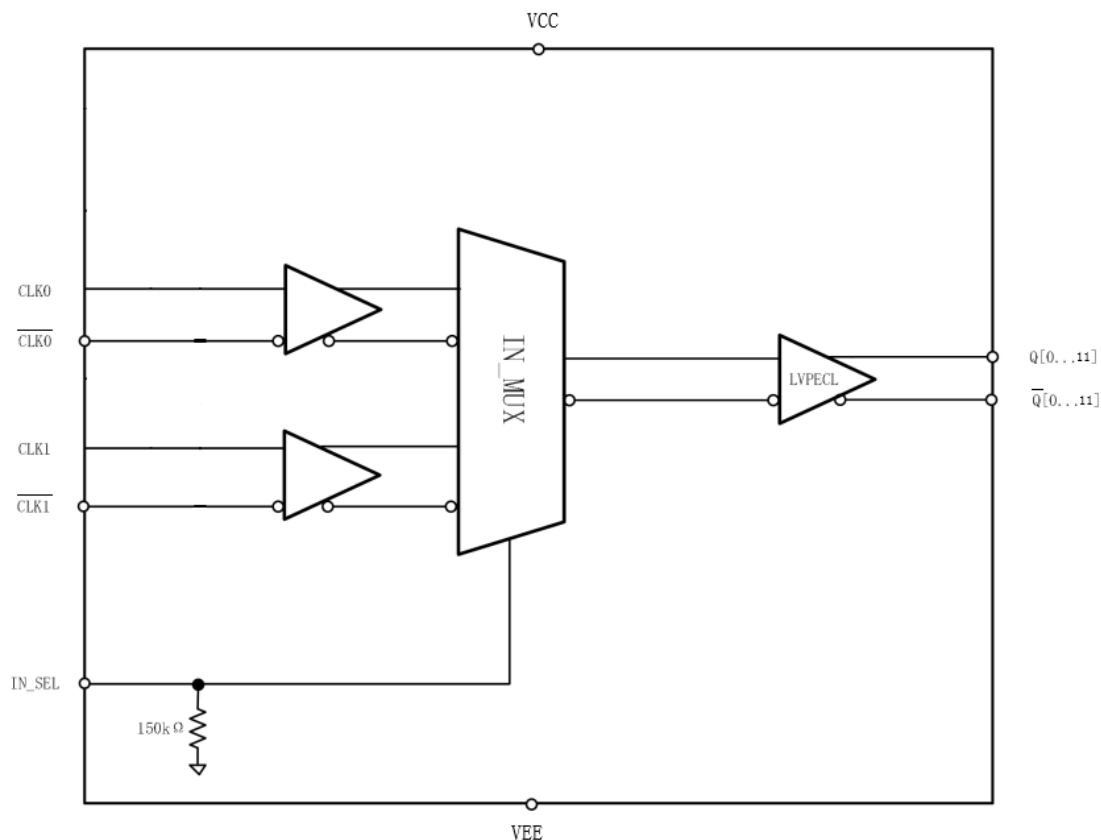
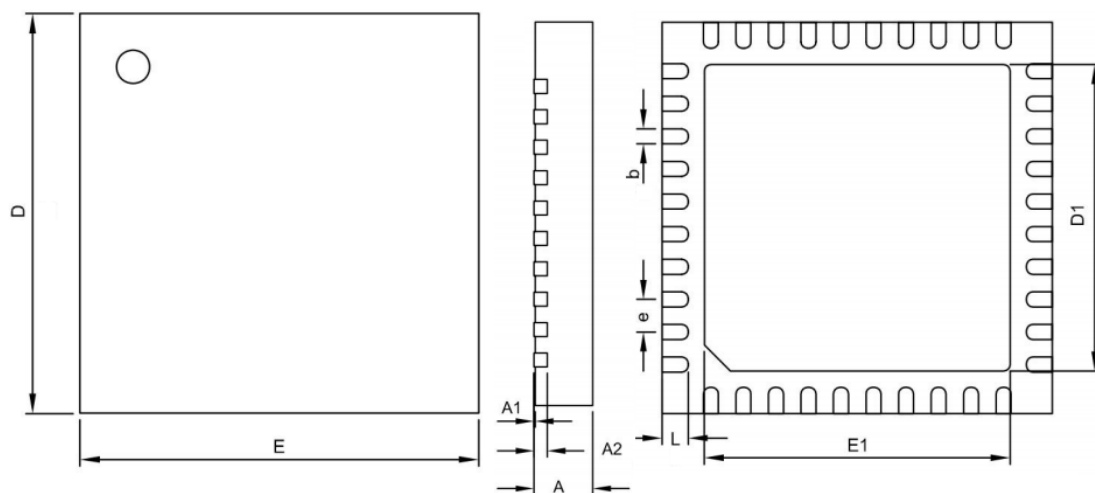


图1 功能框图

5 封装形式及尺寸

HAC954QN 采用 QFN40 封装，具体封装尺寸如图 2 所示。

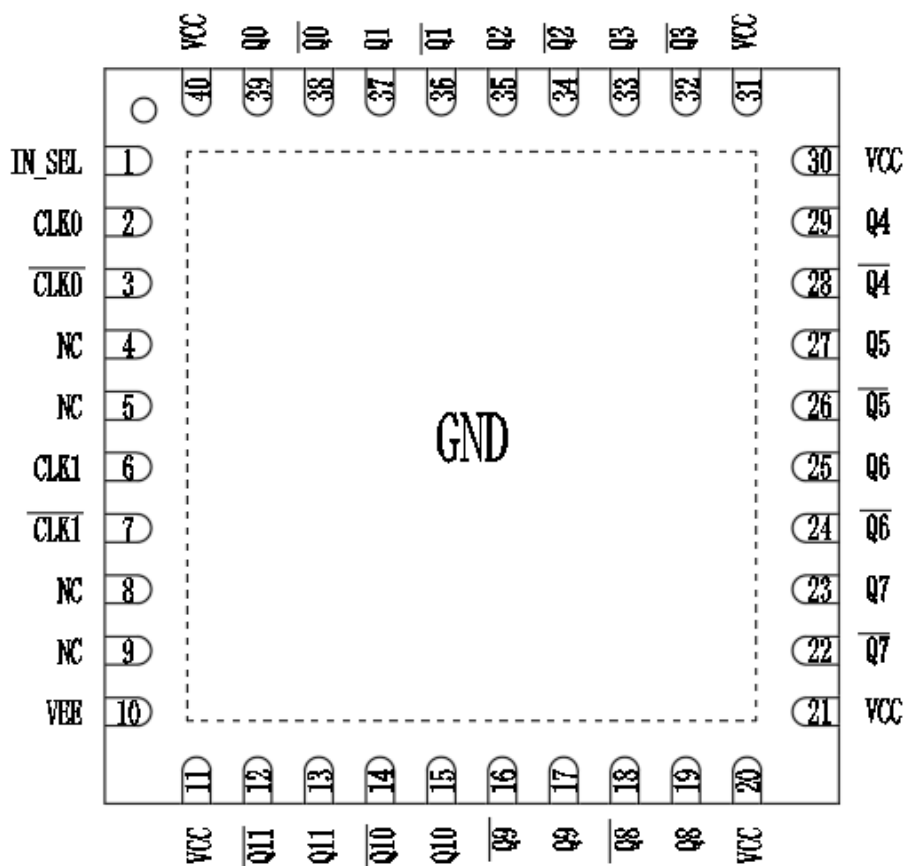


尺寸符号	数值（单位：mm）		
	最小	公称	最大
A	0.80	0.90	1.00
A1	0	--	0.05
A2	0.19	0.20	0.21

D	5.90	6.00	6.10
E	5.90	6.00	6.10
D1	4.55	4.65	4.75
E1	4.55	4.65	4.75
b	0.18	0.23	0.28
e	--	0.5BSC	--
L	0.35	0.40	0.45

图2 HAC954QN 封装尺寸图

6 引出端排列图



注：底部焊盘 PAD（即 GND）必须连接至 VEE。

图3 HAC954QN 引出端排列图（顶视图）

表3 HAC954QN 引出端功能表

引出端序号	符号	I/O	功能
1	IN_SEL	I	输入选择。逻辑 0 选择 CLK0 和 $\overline{\text{CLK0}}$ 输入，逻辑 1 选择 CLK1 和 $\overline{\text{CLK1}}$ 输入。
2	CLK0	I	射频输入正端 0

3	$\overline{\text{CLK0}}$	I	射频输入负端 0
4	NC	--	悬空
5	NC	--	悬空
6	CLK1	I	射频输入正端 1
7	$\overline{\text{CLK1}}$	I	射频输入正端 1
8	NC	--	悬空
9	NC	--	悬空
10	VEE	--	接地
11	VCC	I	电源
12	$\overline{\text{Q11}}$	O	射频输出端口 11 负端，未使用可悬空。
13	Q11	O	射频输出端口 11 正端，未使用可悬空。
14	$\overline{\text{Q10}}$	O	射频输出端口 10 负端，未使用可悬空。
15	Q10	O	射频输出端口 10 正端，未使用可悬空。
16	$\overline{\text{Q9}}$	O	射频输出端口 9 负端，未使用可悬空。
17	Q9	O	射频输出端口 9 正端，未使用可悬空。
18	$\overline{\text{Q8}}$	O	射频输出端口 8 负端，未使用可悬空。
19	Q8	O	射频输出端口 8 正端，未使用可悬空。
20	VCC	I	电源
21	VCC	I	电源
22	$\overline{\text{Q7}}$	O	射频输出端口 7 负端，未使用可悬空。
23	Q7	O	射频输出端口 7 正端，未使用可悬空。
24	$\overline{\text{Q6}}$	O	射频输出端口 6 负端，未使用可悬空。
25	Q6	O	射频输出端口 6 正端，未使用可悬空。
26	$\overline{\text{Q5}}$	O	射频输出端口 5 负端，未使用可悬空。
27	Q5	O	射频输出端口 5 正端，未使用可悬空。
28	$\overline{\text{Q4}}$	O	射频输出端口 4 负端，未使用可悬空。
29	Q4	O	射频输出端口 4 正端，未使用可悬空。
30	VCC	I	电源

31	VCC	I	电源
32	$\overline{Q3}$	O	射频输出端口 3 负端，未使用可悬空。
33	Q3	O	射频输出端口 3 正端，未使用可悬空。
34	$\overline{Q2}$	O	射频输出端口 2 负端，未使用可悬空。
35	Q2	O	射频输出端口 2 正端，未使用可悬空。
36	$\overline{Q1}$	O	射频输出端口 1 负端，未使用可悬空。
37	Q1	O	射频输出端口 1 正端，未使用可悬空。
38	$\overline{Q0}$	O	射频输出端口 0 负端，未使用可悬空。
39	Q0	O	射频输出端口 0 正端，未使用可悬空。
40	VCC	I	电源

7 绝对最大额定值

参数	符号	最小值	最大值	单位
电源电压	VCC	0.5	4.6	V
输入电压	VIN	-0.5	VCC+0.5	V
结温范围	T _J	--	125	°C
储藏温度	T _{STG}	-65	150	°C

8 推荐工作条件

参数	符号	最小值	最大值	单位
电源电压	VCC	3.135	3.465	V
		2.375	2.625	V
工作温度	T _A	-40	85	°C

9 电特性

除另有规定外，VCC=3.3V±5%，-40℃≤T_A≤85℃，产品的电特性见表 4 所示。

表4 电特性

参数	符号	条件	参数值			单位
			最小	典型	最大	
直流输入特性						
输入电压	V _{ICM}	--	1.5	--	VCC-0.1	V
输入差分电	V _{ID}	输入引脚之间的电压为±1.7V	0.4	--	3.4	V _{P-P}

压						
输入电阻	R_{IN}	差分模式, V_{Tx} 开启	--	100	--	Ω
		单端模式, V_{Tx} 开启	--	50	--	Ω
输入偏置电流	I_{BIAS}	V_{Tx} 开启	--	20	--	μA
输入电容	C_{IN}	--	--	0.4	--	pF
直流输出特性						
输出高电压	V_{OH}	负载= $50\Omega \sim (V_{CC}-2.0V)$	$V_{CC}-1.26$	--	$V_{CC}-0.76$	V
输出低电压	V_{OL}	负载= $50\Omega \sim (V_{CC}-2.0V)$	$V_{CC}-1.99$	--	$V_{CC}-1.54$	V
输出电压 (单端)	V_O	$V_{OH}-V_{OL}$, 静态输出	610	--	960	mV
基准电压	V_{REF}	$-500\mu A \sim +500\mu A$	--	$(V_{CC}+1)/2$	--	V
交流性能						
输出频率	F_{OUT}	--	0.1	--	2100	MHz
工作电流	I_{CC}	--	--	550	--	mA
输出上升/ 下降时间	T_R/T_F	20%~80%	--	120	500	ps
传播延迟	T_{PD}	--	--	500	1500	ps
输出偏斜	$T_{SK,O}$	--	--	20	50	ps
附加抖动	T_{RJIT}	相位抖动@ 156.25MHz: (10kHz~20MHz)	--	81	--	fs

10 典型性能特征

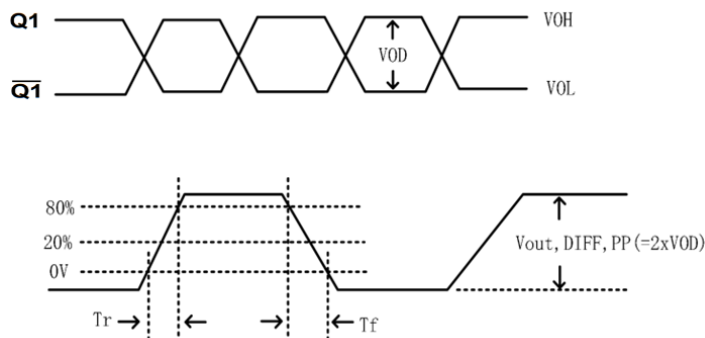


图4 输出电压和上升/下降时间

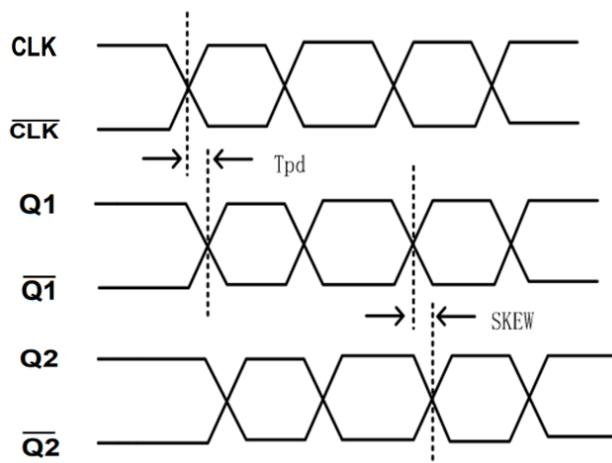


图5 输出和偏斜

注：输出偏斜按以下两者中的较大值计算：作为最快和最慢 t_{PLHn} 之间的差值 (n=0,1,2...7)，或作为最快与最慢 t_{PHLn} 之间的差 (n=0,1, 2...7)。

11 典型应用及注意事项

a) 差分信号输入以接受单端电平电路

对于单端输入的 LVCMOS 信号，驱动器中的 R_s 和 R₀ 形成 50 Ω 阻抗匹配，定向隔离电容器 C₃ 避免了输入和输出之间共模电平的影响，然后通过分压器和共模电平将接收器驱动到 VCC/2。

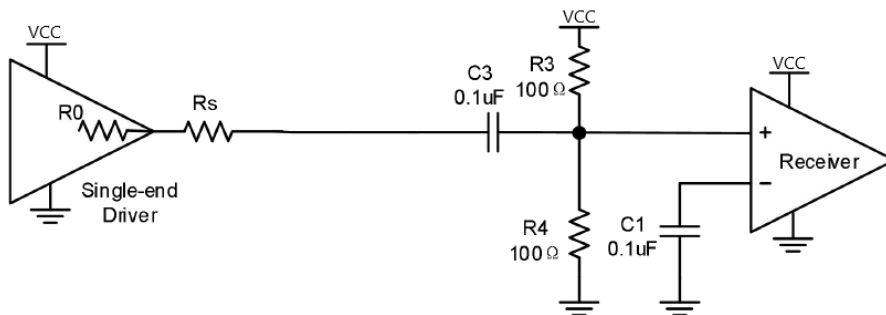


图6 差分输入的单端接方法

b) 输入连接电路

CLK/CLK接受 LVDS、LVPECL、HCSL 和其他差分信号。两个差分信号都必须满足 V_{PP} 和 V_{CMR} 输入要求。图 7 至图 11 显示了由最常见的驱动器类型驱动的 CLK/CLK输入的接口示例。

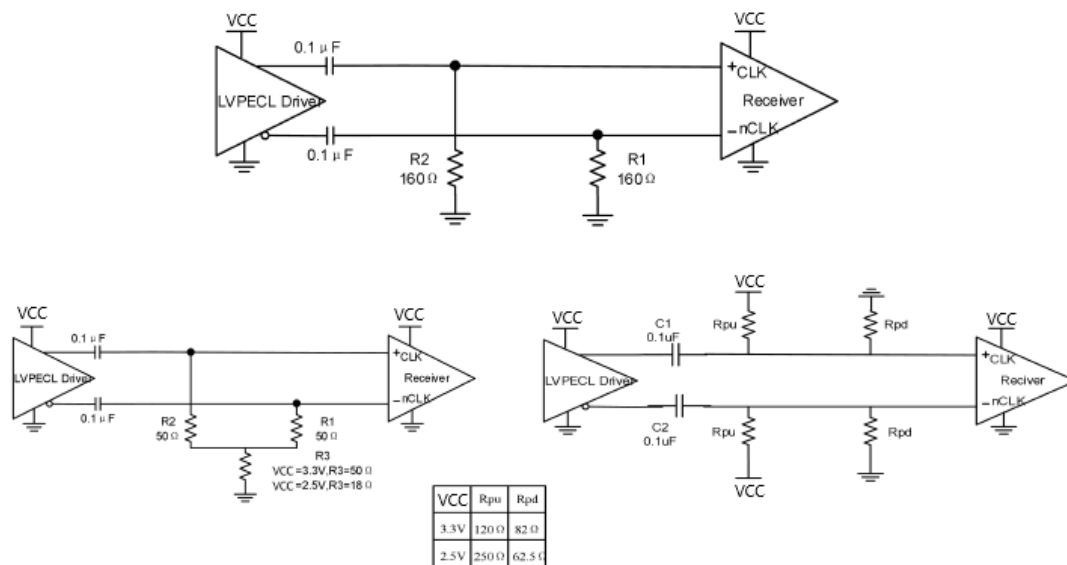


图7 LVPECL 驱动器（AC）

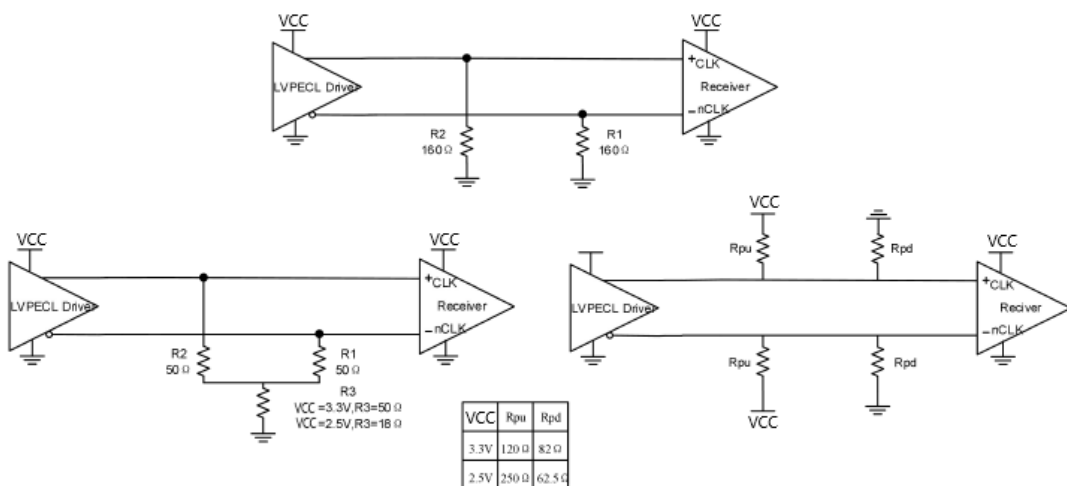


图8 LVPECL 驱动器（DC）

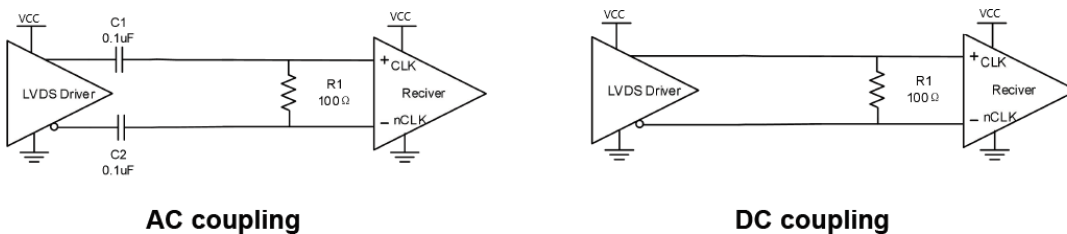


图9 LVDS 驱动器

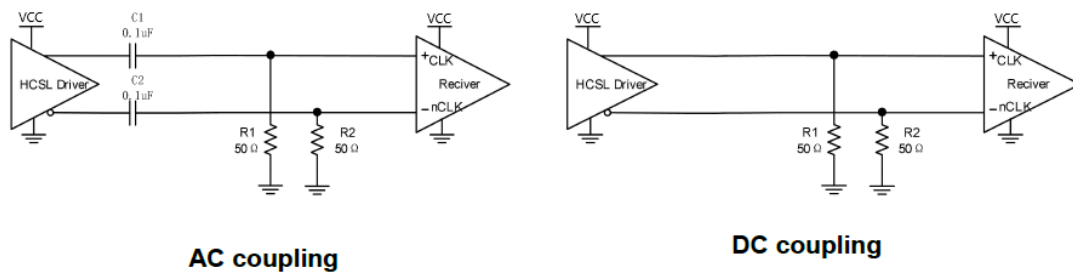


图10 HCSL 驱动器

c) 输出连接电路

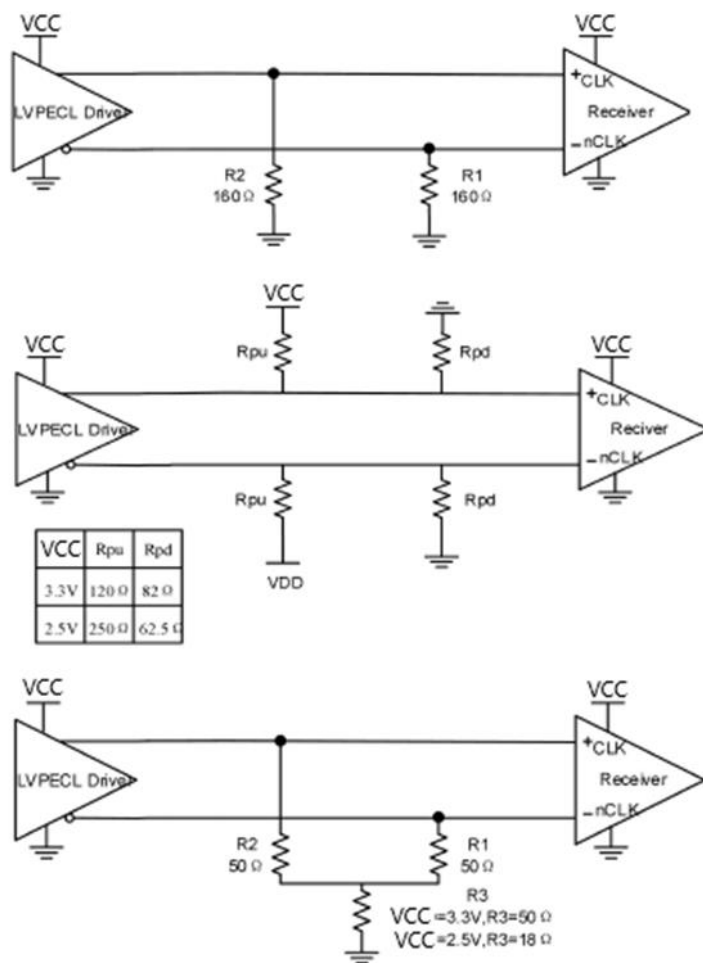


图11 LVPECL 驱动器

12 订货信息

HA C 954 QN

①

②

③

④

① 单位简称

② 产品分类标识

③ 产品代号

④ 封装形式标识

13 版本修订

表5 版本修订汇总表

版本	时间	描述	更改页
V1.0	2023.12.08	新建	--
V1.1	2024.2.26	修改功能框图，修改 4 脚、5 脚、8 脚和 9 脚引脚定义为 NC。	P2、P3 和 P4