

HAC925QN型
高速时钟缓冲器
产品说明书

成都华奥创芯科技有限公司

1 产品概述

HAC925QN 是一款 2.1GHz, 2 路输出差分高性能时钟扇出缓冲器, 且高度通用、低附加抖动的产品, 可以生成两路 LVPECL 时钟副本的缓冲区输出, 可以支持 LVPECL、LVDS 或 LVC MOS 输入。最大时钟频率高达 2.1GHz。该器件专为高频、低相位噪声时钟和数据信号的信号扇出而设计。

2 产品特性

- a) 1: 2 差分时钟缓冲器;
- b) 通用输入接受 LVPECL, LVDS 和 LVC MOS/LVTTL;
- c) 两路 LVPECL 输出;
- d) 最大输出频率 LVPECL 2.1GHz;
- e) 最大传播延迟: 500ps (典型值);
- f) 输出偏斜: 20ps (典型);
- g) 低附加抖动@156.25MHz: 38fs RMS (12kHz~20MHz);
- h) 电源电压: VCC=3.3V 或 2.5V;
- i) 与 ADI 公司的 ADCLK925BCPZ 引脚兼容;
- j) 封装形式为 QFN16, 塑封。

3 原理框图

产品的功能原理框图如图 1 所示。

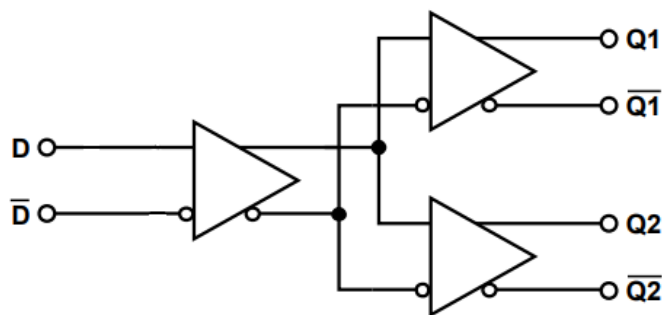
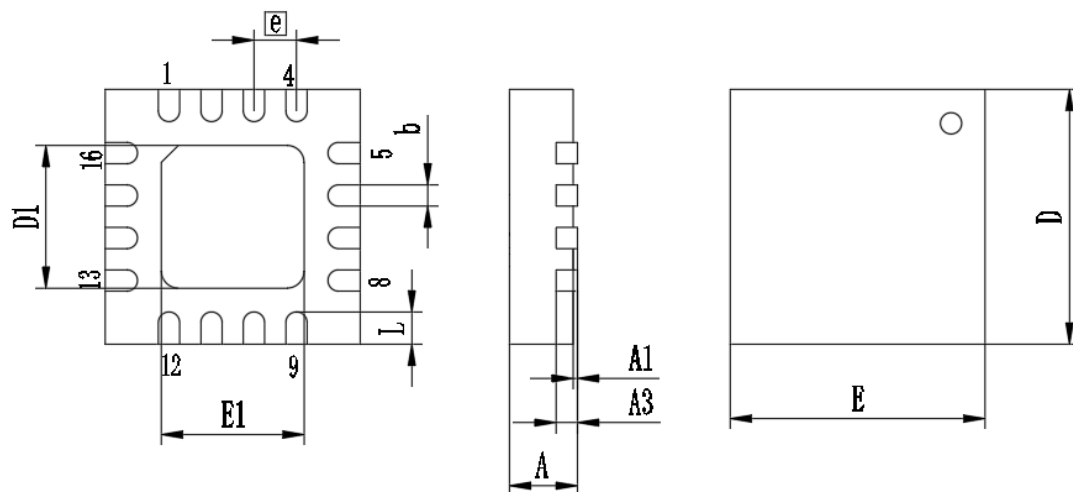


图1 功能框图

4 封装形式及尺寸

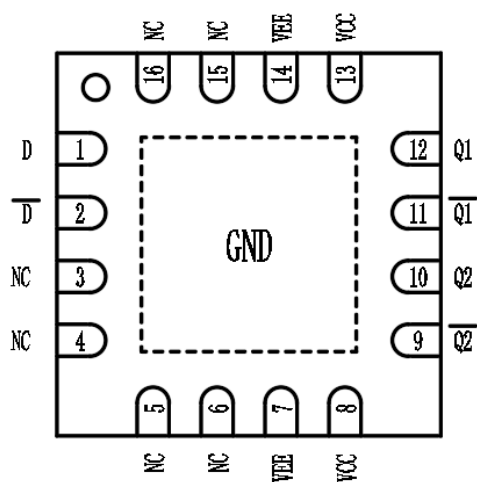
HAC925QN 采用 QFN16 封装, 具体封装尺寸如图 2 所示。



尺寸符号	数值（单位：mm）		
	最小	公称	最大
A	0.80	0.90	1.00
A1	0	0.02	0.05
A3	--	0.20	--
D	2.90	3.00	3.10
E	2.90	3.00	3.10
D1	1.60	1.70	1.80
E1	1.60	1.70	1.80
b	0.20	0.25	0.30
e	--	0.5BSC	--
L	0.30	0.40	0.50

图2 HAC925QN 封装尺寸图

5 引出端排列图



注：底部焊盘 PAD（即 GND）必须连接至 VEE。

图3 HAC925QN 引出端排列图（顶视图）

表1 HAC925QN 引出端功能表

引出端 序号	符号	I/O	功能
1	D	I	射频输入正端口，未使用差分对可悬空。
2	$\overline{D}$	I	射频输入负端口
3	NC	--	悬空
4	NC	--	悬空
5	NC	--	悬空
6	NC	--	悬空
7	VEE	--	接地
8	VCC	I	电源
9	$\overline{Q2}$	O	射频输出端口 2 负端，未使用可悬空。
10	Q2	O	射频输出端口 2 正端，未使用可悬空。
11	$\overline{Q1}$	O	射频输出端口 1 负端，未使用可悬空。
12	Q1	O	射频输出端口 1 正端，未使用可悬空。
13	VCC	I	电源
14	VEE	--	接地
15	NC	--	悬空
16	NC	--	悬空

6 绝对最大额定值

参数	符号	最小值	最大值	单位
电源电压	VCC	0.5	4.6	V
输入电压	VIN	-0.5	VCC+0.5	V
结温范围	T _J	--	125	℃
储藏温度	T _{STG}	-65	150	℃

7 推荐工作条件

参数	符号	最小值	最大值	单位
----	----	-----	-----	----

电源电压	VCC	3.135	3.465	V
		2.375	2.625	V
工作温度	T _A	-40	85	°C

8 电特性

除另有规定外，VCC=3.3V±5%，-40℃≤T_A≤85℃，产品的电特性见表 2 所示。

表2 电特性

参数	符号	条件	参数值			单位
			最小	典型	最大	
直流输入特性						
输入频率	F _{IN}	VCC=3.3V	0.1	--	2100	MHz
输入高电压	V _{IH}	--	1.6	--	VCC	V
输入低电压	V _{IL}	--	GND	--	VCC-0.7	V
输入差分范围	V _{ID}	输入引脚之间的电压为±1.7V	0.2	--	3.4	V _{pp}
输入电容	C _{IN}	--	--	0.4	--	pF
LVPECL 输出特性						
输出高电压	V _{OH}	负载= 50Ω 到(VCC-2.0V)	VCC-1.2	--	VCC-0.9	V
输出低电压	V _{OL}	负载= 50 Ω 到(VCC-2.0V)	VCC-1.7	--	VCC-1.3	V
差分输出电压摆幅	V _{OD}	F _{in} ≤2.1GHz	610	--	1040	mV
基准电压	V _{REF}	--	VCC-1.6	--	VCC-1.1	V
交流性能						
工作电流	I _{CC}	VCC=3.3V，所有输出均处于开启状态。	--	82	--	mA
输出上升/下降时间	T _R /T _F	20%到 80%	--	120	500	ps
传播延迟	T _{PD}	--	--	0.5	2	ns
输出偏斜	T _{SK,O}	--	--	20	50	ps
附加抖动	T _{RJIT}	相位抖动@ 156.25MHz： (12kHz～20MHz)	--	38	--	fs

9 典型性能特征

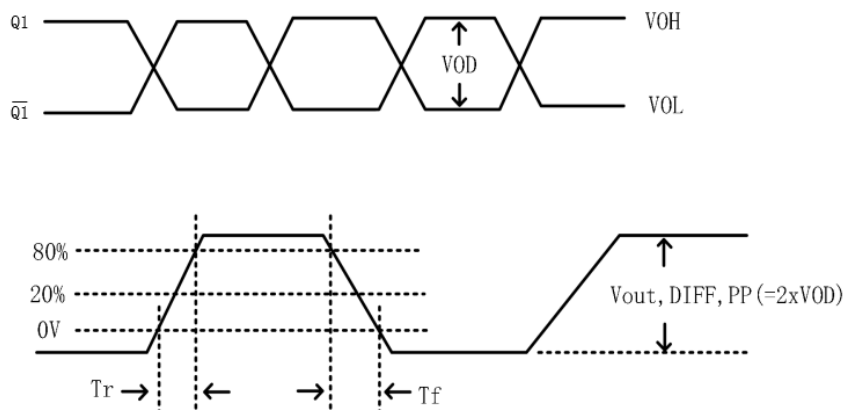


图4 输出电压和上升/下降时间

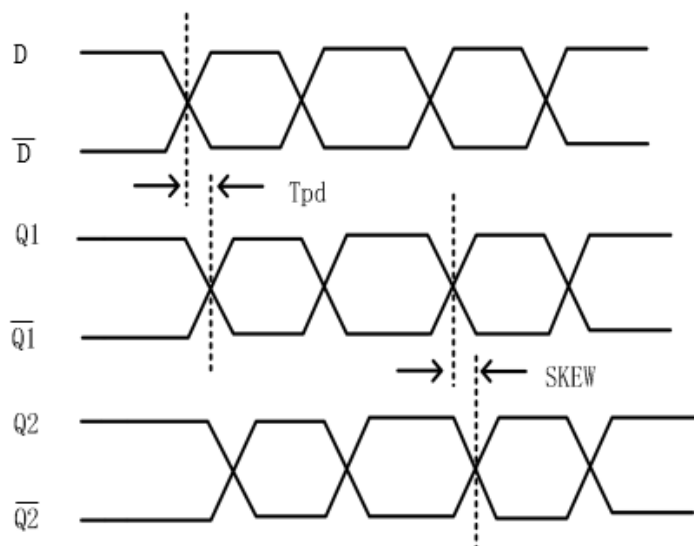


图5 输出和偏斜

注：输出偏斜按以下两者中的较大值计算：作为最快和最慢 t_{PLHn} 之间的差值 ($n=0,1,2\cdots 7$)，或作为最快与最慢 t_{PHLn} 之间的差 ($n=0,1, 2\cdots 7$)。

10 典型应用及注意事项

a) 差分信号输入以接受单端电平电路

对于单端输入的 LVCMOS 信号，驱动器中的 R_s 和 R_0 形成 50Ω 阻抗匹配，定向隔离电容器 C_3 避免了输入和输出之间共模电平的影响，然后通过分压器和共模电平将接收器驱动到 $V_{CC}/2$ 。

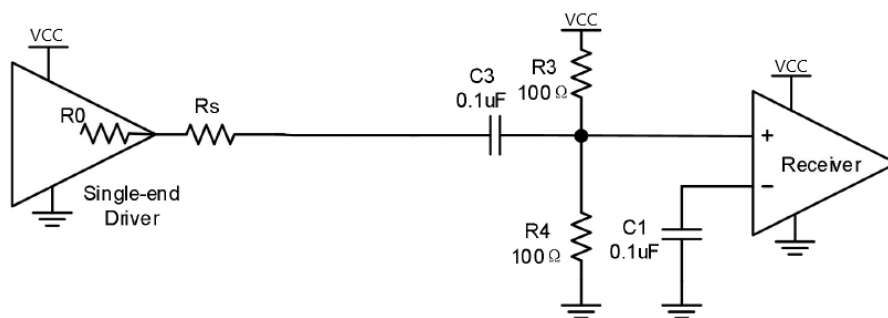


图6 差分输入的单端接方法

b) 输入连接电路

$\overline{D}/\overline{D}$ 接受 LVDS、LVPECL、HCSL 和其他差分信号。两个差分信号都必须满足 V_{PP} 和 V_{CMR} 输入要求。图 7 至图 11 显示了由最常见的驱动器类型驱动的 $\overline{D}/\overline{D}$ 输入的接口示例。

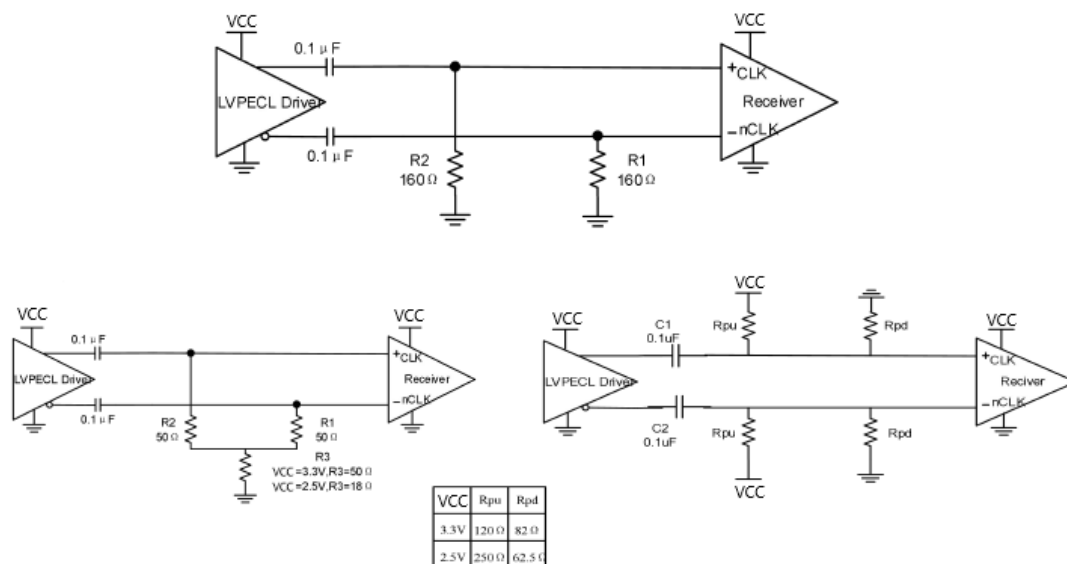


图7 LVPECL 驱动器（AC）

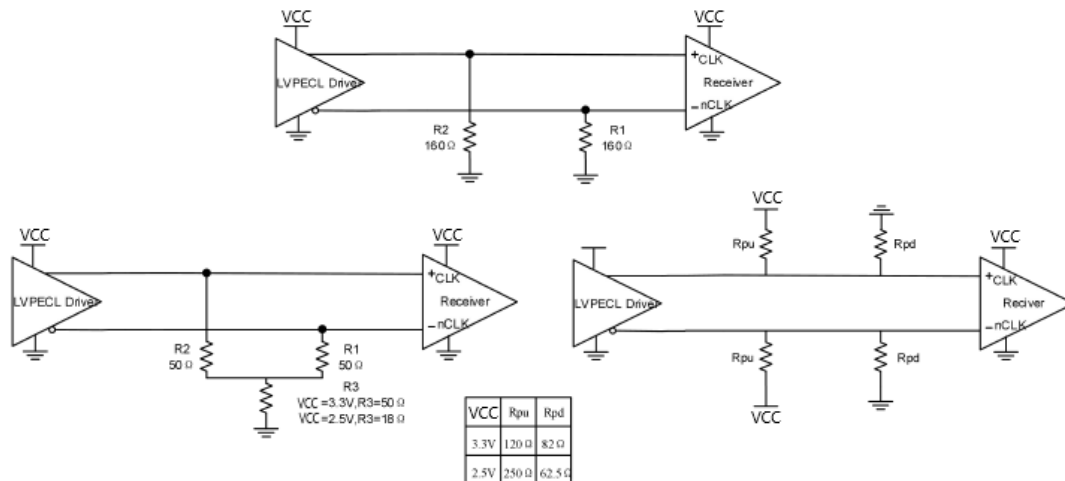


图8 LVPECL 驱动器 (DC)

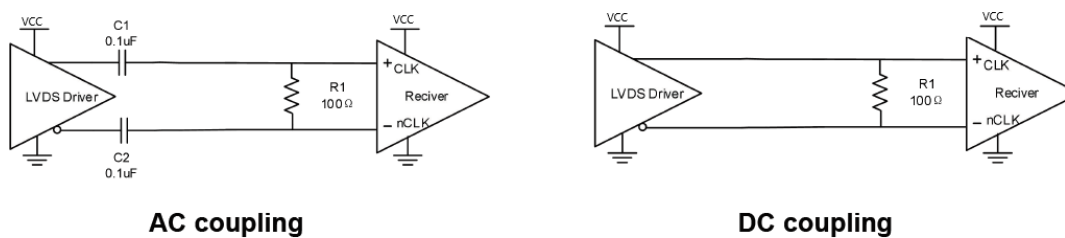


图9 LVDS 驱动器

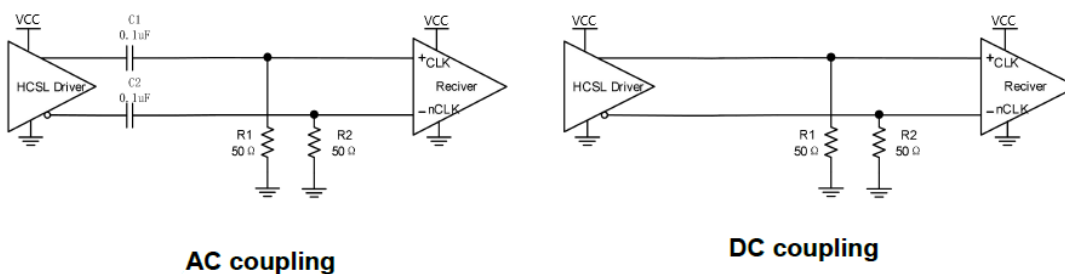


图10 HCSL 驱动器

c) 输出连接电路

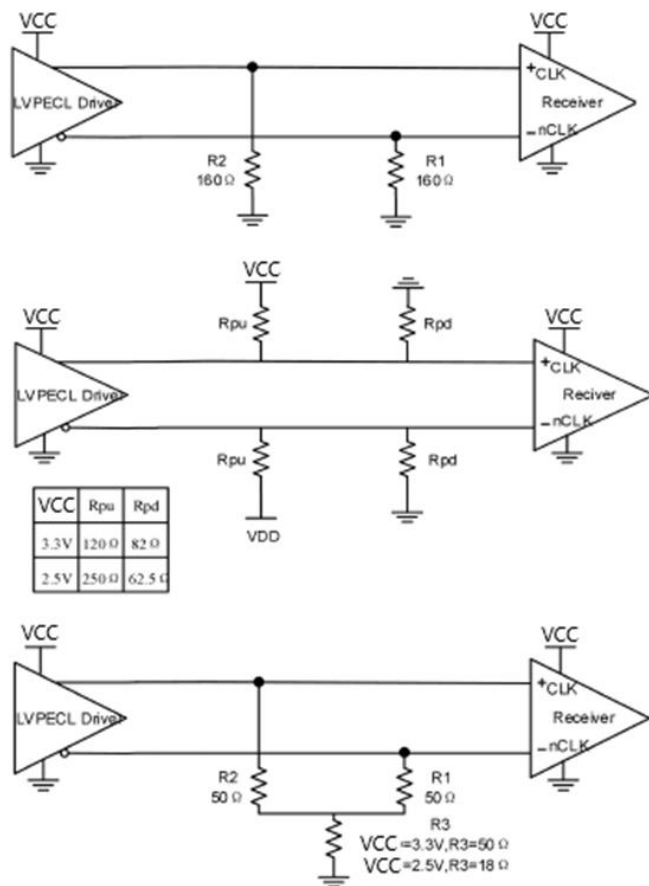


图11 LVPECL 驱动器

11 订货信息

HA C 925 QN

① ② ③ ④

- ① 单位简称
- ② 产品分类标识
- ③ 产品代号
- ④ 封装形式标识

12 版本修订

表3 版本修订汇总表

版本	时间	描述	更改页
V1.0	2023.11.12	新建	--