

HACP1208QN型

低抖动LVPECL时钟缓冲器 产品说明书

成都华奥创芯科技有限公司

1 产品概述

HACP1208QN 是一款 2.0GHz、8 路输出差分高性能时钟扇出缓冲器，且高度通用、低附加抖动缓冲器，可以从两个可选的 LVPECL、LVDS 或 LVCMOS 输入之一生成八对 LVPECL 时钟副，用于各种通信应用。它的最大时钟频率高达 2.0GHz。该器件专为高频、低相位噪声时钟和数据信号的信号扇出而设计。

2 产品特性

- a) 2: 8 差分时钟缓冲器；
- b) 通用输入接受 LVPECL、LVDS 和 LVCMOS/LVTTL；
- c) 八路 LVPECL 输出；
- d) 最大输出频率（LVPECL）：2.0GHz；
- e) 最大传播延迟：500ps（典型值）；
- f) 输出偏斜：20ps（典型）；
- g) 低附加抖动@156.25MHz：58fs RMS（10kHz~20MHz）；
- h) 电源电压：3.3V 或 2.5V；
- i) 与 TI 公司的 CDCLVP1208 引脚兼容；
- j) 封装形式为 QFN28，塑封。

3 功能描述

表1 输入选择真值表

IN_SEL	时钟输入
0	INP0, INN0
1	INP1, INN1

4 原理框图

产品的功能原理框图如图 1 所示。

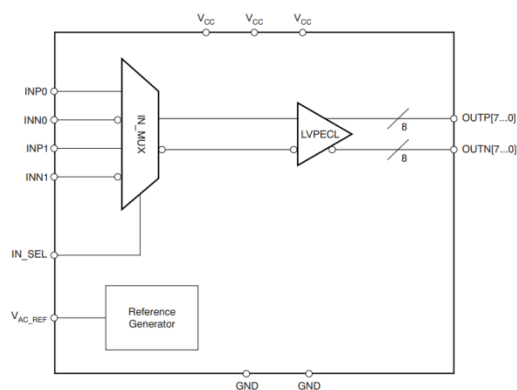
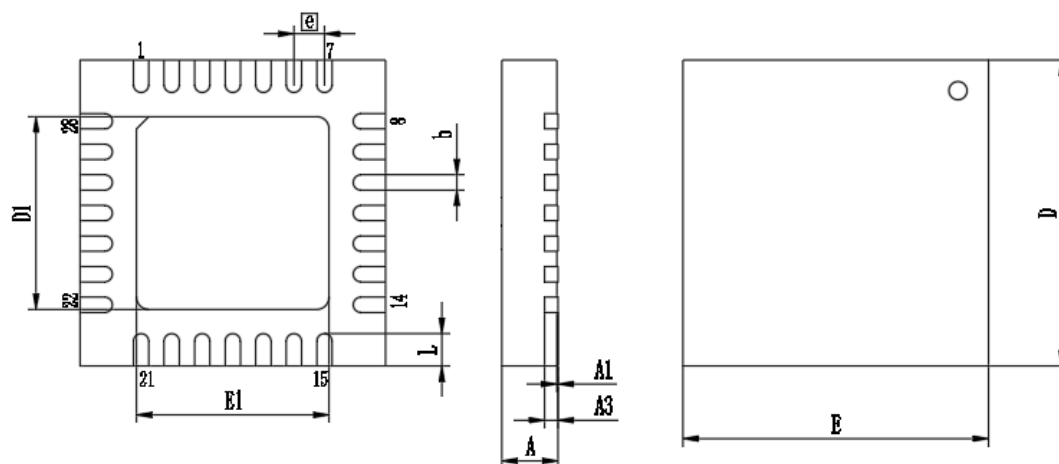


图1 功能框图

5 封装形式及尺寸

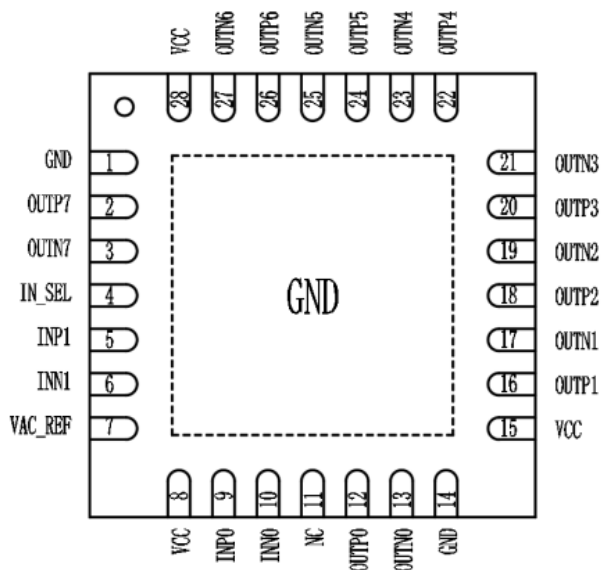
HACP1208QN 采用 QFN28 封装，具体封装尺寸如图 2 所示。



尺寸符号	数值（单位：mm）		
	最小	公称	最大
A	0.80	0.90	1.00
A1	0	0.02	0.05
A3	--	0.20	--
D	4.90	5.00	5.10
E	4.90	5.00	5.10
D1	3.05	3.15	3.25
E1	3.05	3.15	3.25
b	0.18	0.25	0.30
e	--	0.5BSC	--
L	0.45	0.55	0.65

图2 HACP1208QN 封装尺寸图

6 引出端排列图



注：底部焊盘 PAD（即 GND）必须连接至 VEE。

图3 HACP1208QN 引出端排列图（顶视图）

表2 HACP1208QN 引出端功能表

引出端 序号	符号	I/O	功能
1	GND	--	接地
2	OUTP7	O	差分 LVPECL 时钟输出对 7，未使用可悬空。
3	OUTN7	O	差分 LVPECL 时钟输出对 7，未使用可悬空。
4	IN_SEL	I	输入选择
5	INP1	I	差分或单端输入
6	INN1	I	差分时钟输入
7	V _{AC_REF}	O	基准输出电压。如果使用，建议在此引脚上使用 0.1 μF 至 GND。
8	VCC	I	电源
9	INP0	O	差分或单端输入
10	INN0	O	差分时钟输入
11	NC	--	悬空
12	OUTP0	O	差分 LVPECL 时钟输出对 0，未使用可悬空。

13	OUTN0	O	差分 LVPECL 时钟输出对 0，未使用可悬空。
14	GND	--	接地
15	VCC	I	电源
16	OUTP1	O	差分 LVPECL 时钟输出对 1，未使用可悬空。
17	OUTN1	O	差分 LVPECL 时钟输出对 1，未使用可悬空。
18	OUTP2	O	差分 LVPECL 时钟输出对 2，未使用可悬空。
19	OUTN2	O	差分 LVPECL 时钟输出对 2，未使用可悬空。
20	OUTP3	O	差分 LVPECL 时钟输出对 3，未使用可悬空。
21	OUTN3	O	差分 LVPECL 时钟输出对 3，未使用可悬空。
22	OUTP4	O	差分 LVPECL 时钟输出对 4，未使用可悬空。
23	OUTN4	O	差分 LVPECL 时钟输出对 4，未使用可悬空。
24	OUTP5	O	差分 LVPECL 时钟输出对 5，未使用可悬空。
25	OUTN5		差分 LVPECL 时钟输出对 5，未使用可悬空。
26	OUTP6	O	差分 LVPECL 时钟输出对 6，未使用可悬空。
27	OUTN6	O	差分 LVPECL 时钟输出对 6，未使用可悬空。
28	VCC	I	电源

7 绝对最大额定值

参数	符号	最小值	最大值	单位
电源电压	VCC	0.5	4.6	V
输入电压	VIN	-0.5	VCC+0.5	V
结温范围	T _J	--	125	℃
储藏温度	T _{STG}	-65	150	℃

8 推荐工作条件

参数	符号	最小值	最大值	单位
电源电压	VCC	3.135	3.465	V
		2.375	2.625	V
工作温度	T _A	-40	85	℃

9 电特性

除另有规定外， $V_{CC}=2.375V\sim 3.6V$ ， $-40^{\circ}C\leq T_A\leq 85^{\circ}C$ ，产品的电特性见表3所示。

表3 电特性

参数	符号	条件	参数值			单位
			最小	典型	最大	
LVCMOS 输入特性						
输入频率	F_{IN}	VCC=3.3V	0.1	--	250	MHz
输入阈值电压	V_{th}	施加到互补输入端的外部阈值电压	1.1	--	1.8	V
输入高电压	V_{IH}	--	1.2	--	VCC	V
输入低电压	V_{IL}	--	0	--	1.7	V
输入高电流	I_{IH}	VCC=3.6V, V_{IH} =3.6V	--	--	40	μ A
输入低电流	I_{IL}	VCC=3.6, V_{IL} =0V	--	--	-40	μ A
转换速率	$\Delta V/\Delta T$	20%到 80%	1.5	--	--	V/ns
输入电容	C_{IN}	--	--	5	--	pF
差分输入特性						
输入频率	F_{IN}	--	0.1	--	2000	MHz
差分输入电压（峰峰值）	$V_{IN,DIF,PP}$	$F_{IN}\leq 1.5\text{ GHz}$	0.1	--	1.5	V
		$1.5\text{ GHz}\leq F_{IN}\leq 2\text{GHz}$	0.2	--	1.5	V
输入共模电压	V_{ICM}	--	1	--	VCC-0.3	V
输入高电流	I_{IH}	VCC=3.6V, V_{IH} =3.6V	--	--	40	μ A
输入低电流	I_{IL}	VCC=3.6V, V_{IL} =0V	--	--	-40	μ A
转换速率	$\Delta V/\Delta T$	20%到 80%	1.5	--	--	V/ns
输入电容	C_{IN}	--	--	5	--	pF
LVPECL 输出特性（VCC=2.5V±5%）						
输出高电压	V_{OH}	--	VCC-1.2	--	VCC-0.9	V
输出低电压	V_{OL}	--	VCC-1.7		VCC-1.3	V
差分输出电压（峰峰值）	$V_{OUT,DIFF,PP}$	$F_{IN}\leq 2\text{GHz}$	--	1.15	--	V
输入偏置电压	V_{AC_REF}	I_{AC_REF} =2 mA	VCC-1.6	--	VCC-1.1	V
传播延迟	t_{PD}	--	--	0.5	1.5	ns
输出偏斜	$t_{SK,O}$	--	--	--	50	ps
脉冲偏斜	$t_{SK,P}$	50%占空比输入，交叉点间失真， F_{OUT} =100MHz。	-50	--	50	ps
随机附加抖动	t_{RJIT}	相位抖动@ 156.25MHz： （10kHz～20MHz）	--	42	100	fs
输出上升和	t_R/t_F	20%到 80%	--	120	300	ps

下降时间						
LVPECL 输出特性 ($V_{CC}=3.3V \pm 5\%$)						
输出高电压	V_{OH}	--	$V_{CC}-1.2$	--	$V_{CC}-0.9$	V
输出低电压	V_{OL}	--	$V_{CC}-1.7$		$V_{CC}-1.3$	V
差分输出电压 (峰峰值)	$V_{OUT,DIFF,PP}$	$F_{IN} \leq 2GHz$	0.65	--	1.35	V
输入偏置电压	V_{AC_REF}	$I_{AC_REF}=2\text{ mA}$	$V_{CC}-1.6$	--	$V_{CC}-1.1$	V
传播延迟	t_{PD}	--	--	0.5	1.5	ns
输出偏斜	$t_{SK,O}$	--	--	--	50	ps
脉冲偏斜	$t_{SK,P}$	50%占空比输入, 交叉点间失真, $F_{OUT}=100MHz$ 。	-50	--	50	ps
随机附加抖动	t_{RJIT}	相位抖动@ 156.25MHz: (10kHz~20MHz)	--	58	100	fs
输出上升和下降时间	t_R/t_F	20%到 80%	--	120	300	ps

备注：内部产生的偏置电压 (V_{AC_REF}) 仅适用于 3.3V, 建议在 $V_{CC}<3V$ 时施加外部产生的偏置电

压。

10 典型性能特征

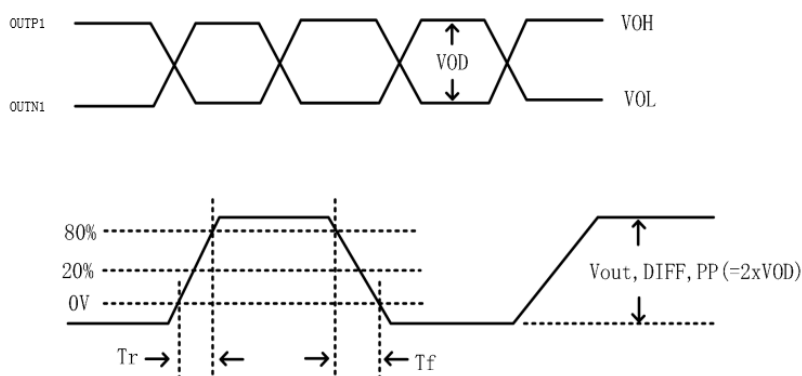


图4 输出电压和上升/下降时间

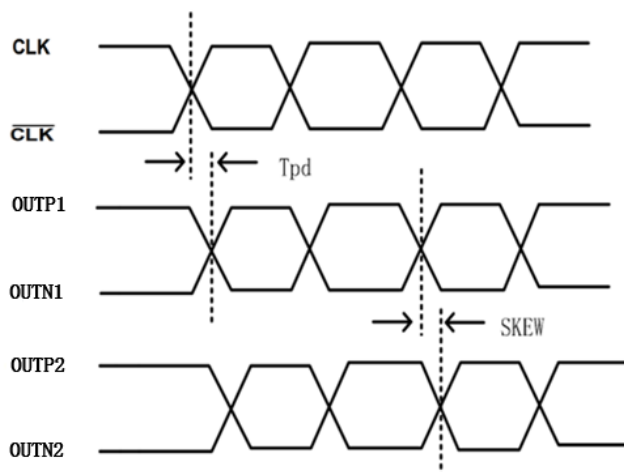


图5 输出和偏斜

注：输出偏斜按以下两者中的较大值计算：作为最快和最慢 t_{PLHn} 之间的差值 ($n=0,1,2\cdots 7$)，或作为最快与最慢 t_{PHLn} 之间的差 ($n=0,1,2\cdots 7$)。

11 典型应用及注意事项

a) 差分信号输入以接受单端电平电路

对于单端输入的 LVCMOS 信号，驱动器中的 R_s 和 R_0 形成 50Ω 阻抗匹配，定向隔离电容器 C_3 避免了输入和输出之间共模电平的影响，然后通过分压器和共模电平将接收器驱动到 $V_{CC}/2$ 。

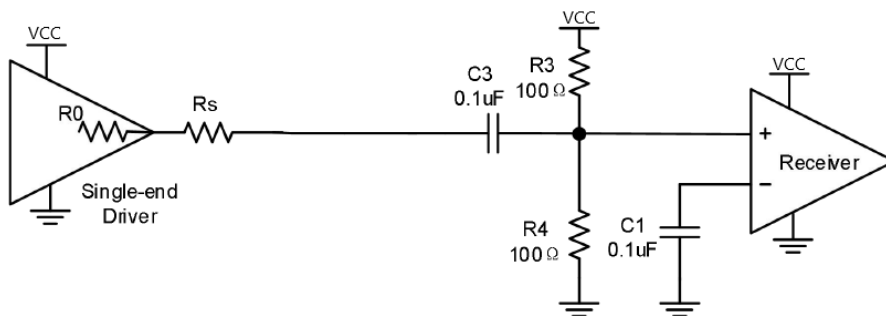


图6 差分输入的单端接方法

b) 输入连接电路

CLK/ $\overline{\text{CLK}}$ 接受 LVDS、LVPECL、HCSL 和其他差分信号。两个差分信号都必须满足 V_{PP} 和 V_{CMR} 输入要求。图 7 至图 11 显示了由最常见的驱动器类型驱动的 CLK/ $\overline{\text{CLK}}$ 输入的接口示例。

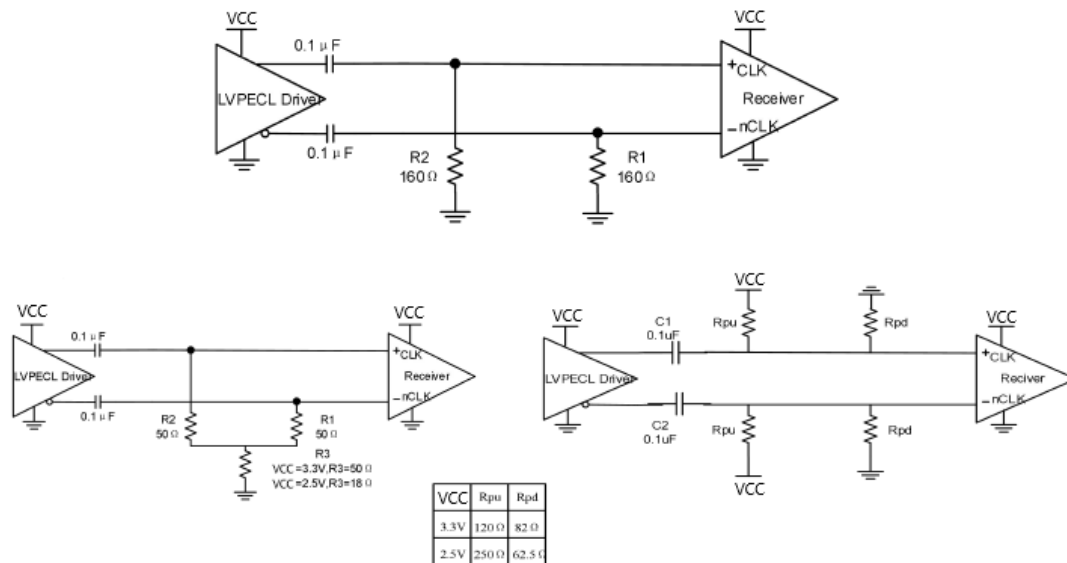


图7 LVPECL 驱动器（AC）

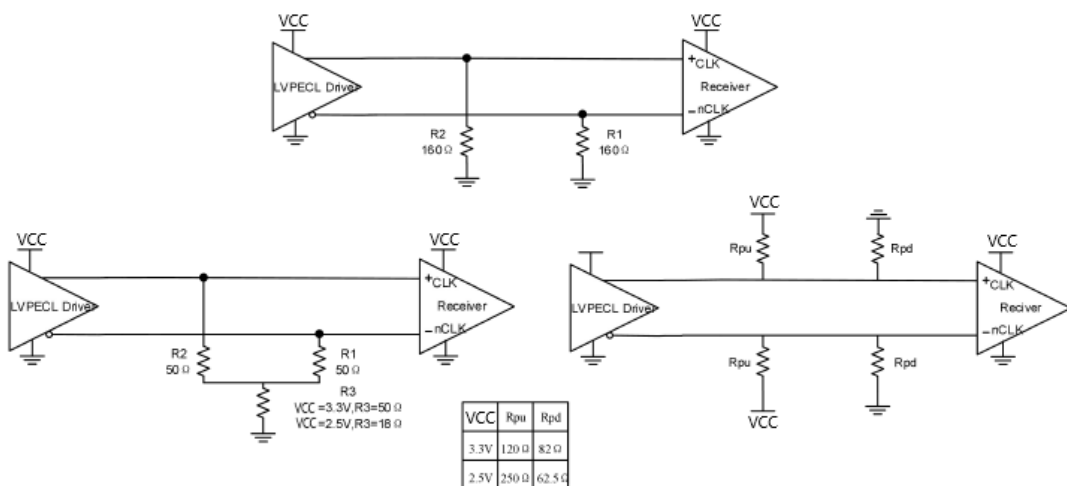


图8 LVPECL 驱动器（DC）

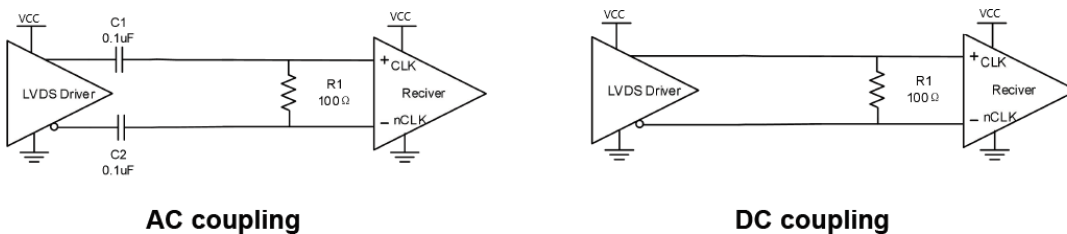


图9 LVDS 驱动器

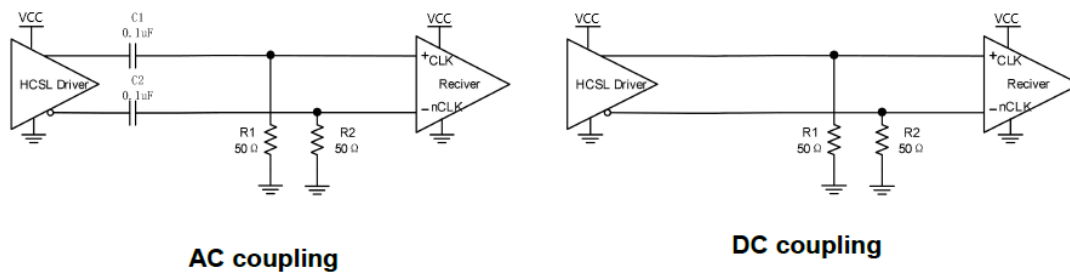


图10 HCSL 驱动器

c) 输出连接电路

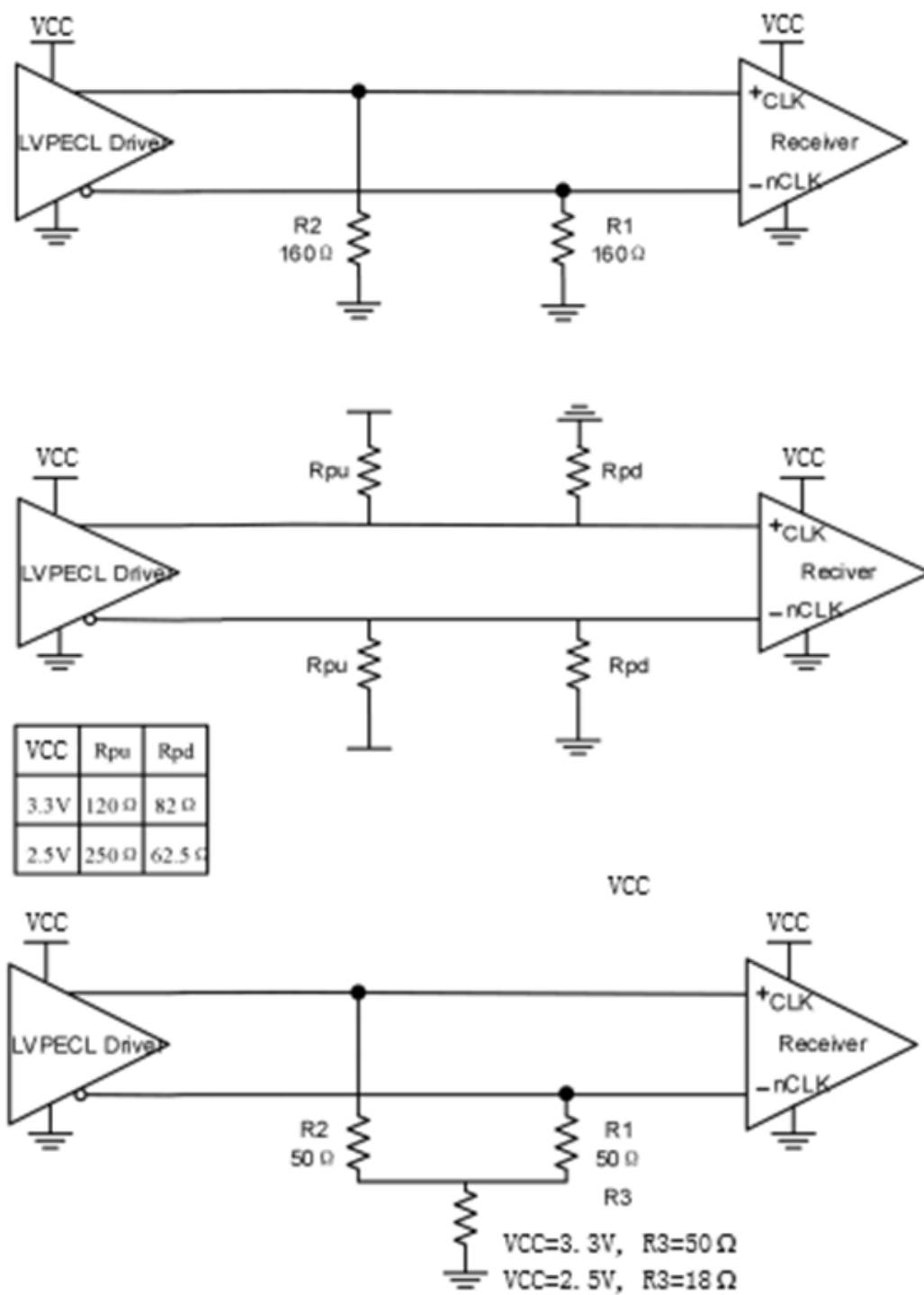


图11 LVPECL 驱动器

12 订货信息

HA CP 1208 QN

①

②

③

④

- ① 单位简称
- ② 产品分类标识
- ③ 产品代号
- ④ 封装形式标识

13 版本修订

表4 版本修订汇总表

版本	时间	描述	更改页
V1.0	2023.8.15	新建	--