

■ 产品简介

CD4020 是一款采用先进 CMOS 技术设计的 14 位二进制串行计数器。计数器为主从触发器，在时钟 CP 下降沿时计数，时钟 CP 输入端采用施密特触发电路，输出清零端 CR 低电平有效。输入和输出均采用缓冲电路设计，具有高抗干扰能力和驱动能力。

■ 产品特点

- 低输入电流： $I_{IN} \leq 1\mu A$, @ $V_{IN}=V_{DD}=15V$, $T_a=25^\circ C$
- 低静态功耗： $I_{DD} \leq 6\mu A$, @ $V_{DD}=15V$, $T_a=25^\circ C$
- 宽工作电压范围：3.0V to 15.0V
- 封装形式：DIP16、SOP16

■ 产品订购信息

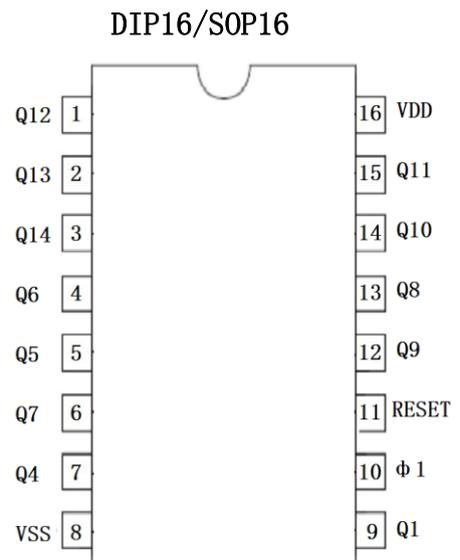
产品名称	封装	打印名称	包装	包装数量
CD4020BE	DIP16	CD4020	管装	1000 只/盒
CD4020BM/TR	SOP16	CD4020	编带	2500 只/盘

■ 产品用途

- 数字逻辑驱动、计数器
- 信号发生器等
- 工控应用
- 其它应用领域

■ 封装形式和管脚功能定义

管脚序号	管脚定义	管脚序号	管脚定义
DIP16/SOP16		DIP16/SOP16	
1	Q12	16	VDD
2	Q13	15	Q11
3	Q14	14	Q10
4	Q6	13	Q8
5	Q5	12	Q9
6	Q7	11	RESET
7	Q4	10	$\phi 1$
8	VSS	9	Q1



■ 电学特性

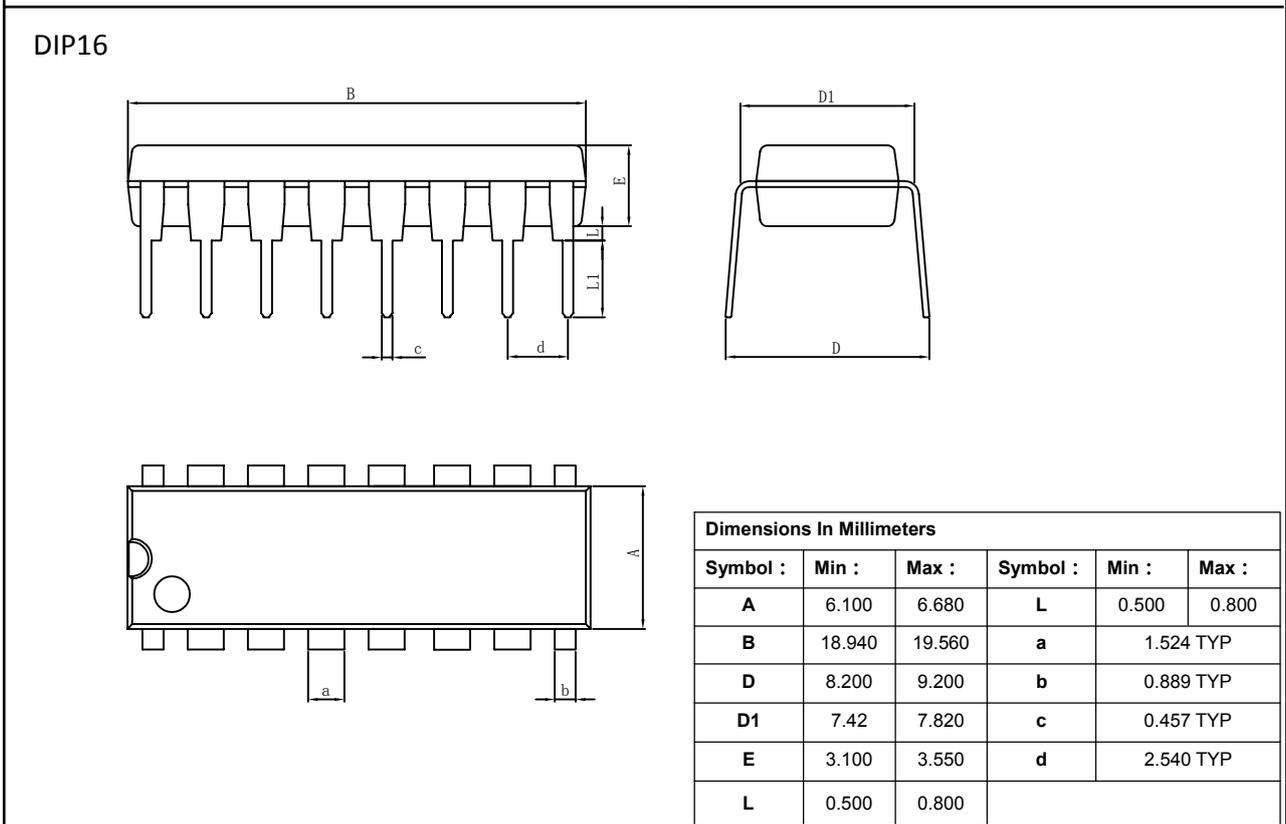
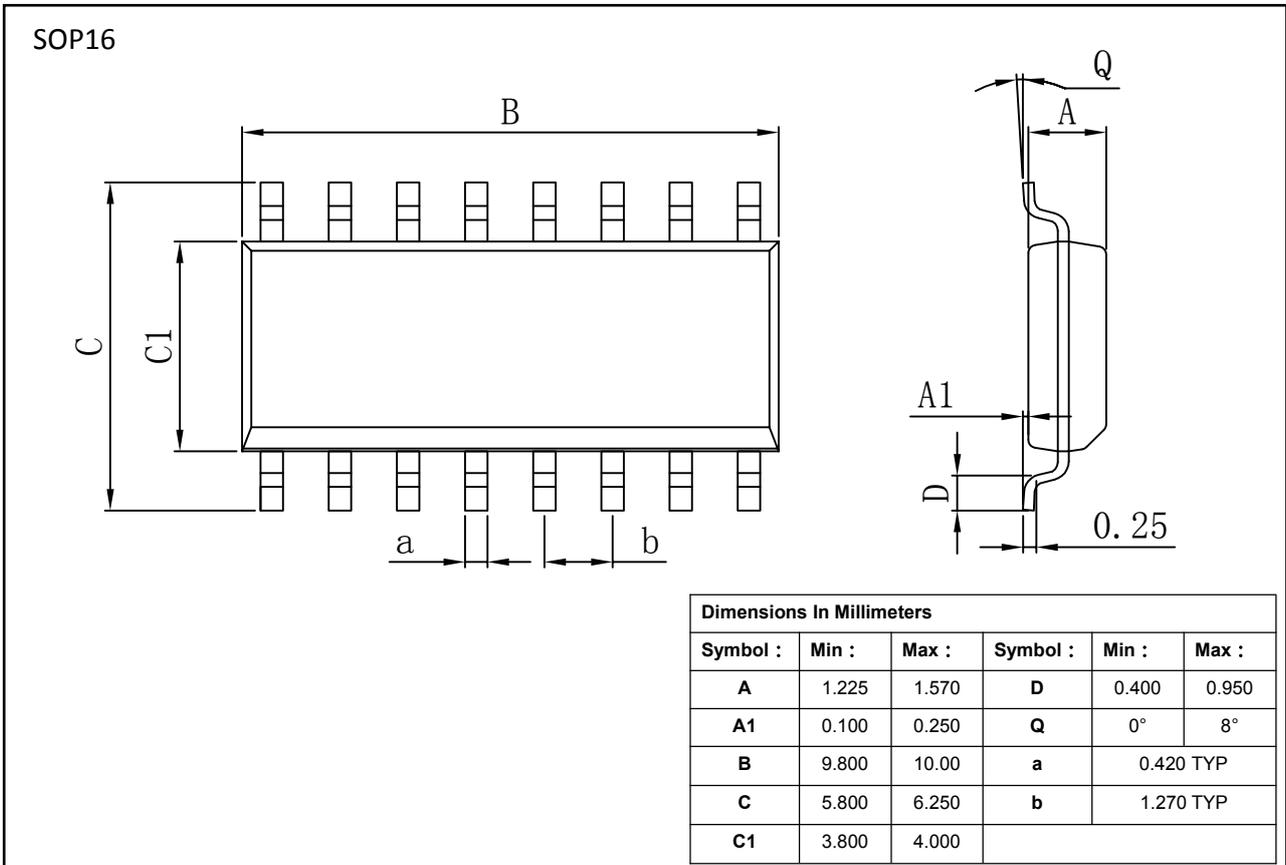
 直流电学特性: $T_A=25^{\circ}\text{C}$

符号	项目	测试条件	VDD (V)	最小值	典型值	最大值	单位
V_{IH}	高电平有效 输入电压	$ I_O \leq 1\mu\text{A}$	$V_O = 0.5\text{V}$	5	3.5		V
			$V_O = 1\text{V}$	10	7.0		V
			$V_O = 1.5\text{V}$	15	11.0		V
V_{IL}	低电平有效 输入电压	$ I_O \leq 1\mu\text{A}$	$V_O = 4.5\text{V}$	5		1.5	V
			$V_O = 9\text{V}$	10		3.0	V
			$V_O = 13.5\text{V}$	15		4.0	V
V_{OH}	高电平输出电压	$ I_{OUT} < 1\mu\text{A}$	5	4.95	5		V
			10	9.95	10		V
			15	14.95	15		V
V_{OL}	低电平输出电压	$ I_{OUT} < 1\mu\text{A}$	5		0	0.05	V
			10		0	0.05	V
			15		0	0.05	V
I_{IN}	输入电流	$V_{IN} = \text{VDD or VSS}$	15		0.01	1.0	μA
I_{OH}	高电平输出电流	$V_O = 4.6\text{V}$	5		-1.0	-0.5	mA
		$V_O = 9.5\text{V}$	10		-2.1	-1.3	mA
		$V_O = 13.5\text{V}$	15		-8.0	-3.4	mA
I_{OL}	低电平输出电流	$V_O = 0.4\text{V}$	5	0.5	2.2		mA
		$V_O = 0.5\text{V}$	10	1.3	5.1		mA
		$V_O = 1.5\text{V}$	15	3.4	19		mA
I_{DD}	工作电流	$V_{IN} = \text{VDD or VSS}$	5		0.1	4	μA
			10		0.1	5	μA
			15		0.1	6	μA

交流电学特性: $T_a=25^{\circ}\text{C}$, $R_L=200\text{k}$, $C_L=51\text{pF}$ 。

项目	符号	测试条件	最小值	典型值	最大值	单位
传输延迟时间 $\phi 1$ 、RESET to Q1	t_{PHL} t_{PLH}	VDD=5V		250		ns
		VDD=10V		100		ns
		VDD=15V		75		ns
相邻输出延迟时间 Q_n to Q_{n+1}	t_{PLH} t_{PHL}	VDD=5V		150		ns
		VDD=10V		60		ns
		VDD=15V		45		ns
输出上升/下降沿时间 Q_n	T_{TLH} T_{THL}	VDD=5V		125		ns
		VDD=10V		50		ns
		VDD=15V		40		ns
$\phi 1$ 时钟最小脉宽	T_{WL} T_{WH}	VDD=5V		125		ns
		VDD=10V		50		ns
		VDD=15V		40		ns
时钟上升/下降沿时间	t_r 、 t_f	VDD=5V			无限制	ns
		VDD=10V			无限制	ns
		VDD=15V			无限制	ns
时钟频率	$F_{\phi 1}$	VDD=5V		4		MHz
		VDD=10V		10		MHz
		VDD=15V		12		MHz
复位延迟时间	$T_{\text{PHL(R)}}$	VDD=5V		200		ns
		VDD=10V		100		ns
		VDD=15V		80		ns
复位最小脉宽	$t_{\text{WH(R)}}$	VDD=5V		200		ns
		VDD=10V		100		ns
		VDD=15V		80		ns

封装外形



重要声明:

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施，以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。

华冠半导体保证公司所生产半导体产品的性能达到在销售时可应用的性能指标。测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。以上文档资料仅供参考，一切以实物参数为准。

华冠半导体的文档资料，仅在没有对内容进行任何篡改且带有相关授权的情况下才允许进行复制。华冠半导体对篡改过的文件不承担任何责任或义务。